

VLSI Design and Implementation - Cell-Based Design Flow

TA: Y.-X. Chen, Y.-C. Yu, and K.-T. Wu

Grading

- Lab assignments 30%
- Final exam 20%
 - Open book
 - 上機考

Course Schedule

Date		課程	內容	主要負責人
10	11/18-11/24	硬體描述語言	1. 可合成之硬體描述語言 2. LAB實作(nLint)	陳詠孝
11	11/25-12/1	硬體描述語言	1. 硬體描述語言之模擬環境 2. LAB實作(RTL simulation)	陳詠孝
12	12/2-12/8	電路硬體合成	1. 電路合成概念與環境建置	游雲超
13	12/9-12/15	電路硬體合成	1. 電路合成指令與流程教學 2. LAB實作(Synthesis)	游雲超
14	12/16-12/22	電路硬體合成	1. 電路合成指令與流程教學 2. LAB實作(Gate level simulation)	游雲超
15	12/23-12/29	電路硬體擺放與繞線	1. 電路擺放概念與設定檔案介紹	吳冠德
16	12/30-1/5	電路硬體擺放與繞線	1. 電路擺放與繞線流程介紹 2. LAB實作(擺放與繞線)	吳冠德
17	1/6-1/12	電路硬體擺放與繞線	1. LAB實作(擺放與繞線)	吳冠德
18	1/13-1/19	期末考周	1. 電路硬體合成 2. 電路硬體擺放與繞線	