

Digital System Design

Homework #3

(Due: Apr. 13)

1. 請 AND, NAND, OR, NOR, XOR, XNOR, Inverter 等基本的 logic gates, 設計一個 2-to-4 decoder with Enable。將你的設計畫在紙上, 並為每一個 gate 及每一條線(含 input/output)標上一個不同的名字。
2. 請利用 Verilog 的 gate-level description, 將第一題所設計的這個 decoder 描述出來, 其中每個 instance 及 wire 的名字請沿用第一題裡的命名, 並需包含完整的 module 及變數宣告。
3. 撰寫適當的 test bench, 觀察第二題的結果, 並將結果的波形圖抓下來。

作業繳交方式:

第一題於下週四上課時(Apr. 13)繳交手寫稿

其餘題目繳交電子檔即可, 繳交管道請見助教於 BBS 上的公告

評分方式: 1.正確性

2.程式註解