

Digital System Design

Homework #4

(Due: Apr. 20)

1. 請設計一個 1-bit 減法器(truth table 如下), 並以 Verilog 的 data-flow 描述方式將這個減法器的 module 描述出來.
2. 利用 module instantiation, 由第一題的結果兜出一個 4-bits 減法器.
3. 請改用 always block, 重新描述一次這個 4-bit 減法器, 一次就將這個 4-bit 減法器的 module 描述出來, 不能使用 module instantiation.
4. 撰寫適當的 test bench, 觀察前三題的結果.

作業繳交方式:

繳交電子檔即可, 繳交管道請見助教於 BBS 上的公告

評分方式: 1.正確性

2.程式註解

Truth table:

| A | B | Cin | Cout | Sum |
|---|---|-----|------|-----|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |