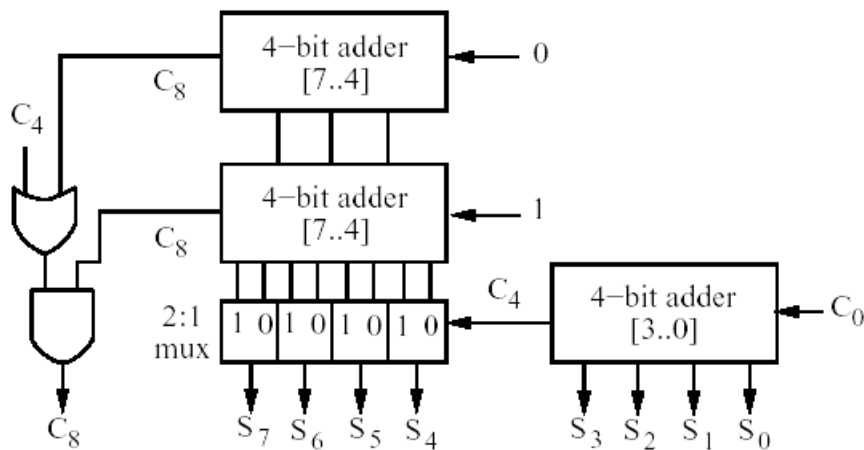


Digital System Design

Homework #5

(Due: Apr. 27)

1. 請先寫出一個 4-bit adder 的 module, 再利用 Verilog 的 behavior 描述及這個 4-bit adder module 兜出如下圖所示之 8-bit carry-select adder. (adder 可重複呼叫好幾次)



2. 撰寫適當的 test bench, 觀察電路的行為.

作業繳交方式:

繳交電子檔即可, 繳交管道請見助教於 BBS 上的公告

評分方式: 1. 正確性

2. 程式註解