

Digital System Design

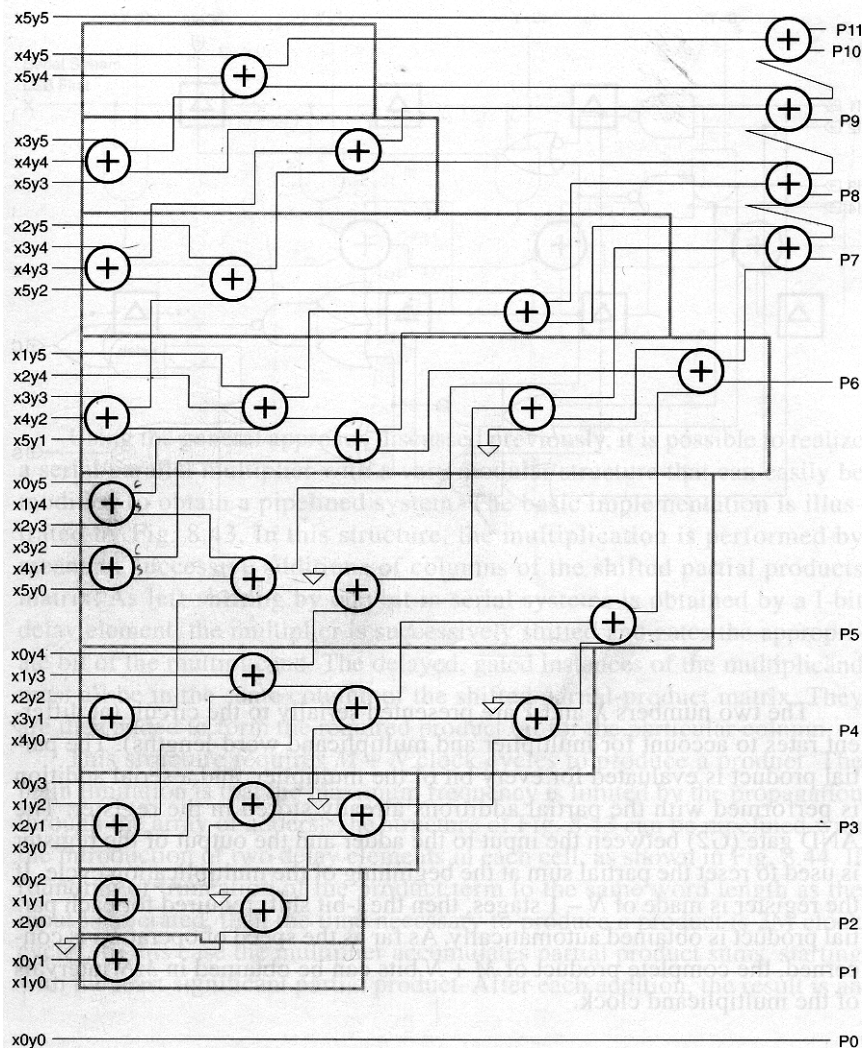
Homework #7

(Due: May 11)

1. 下圖為一個 6-bit by 6-bit binary multiplier with column compress tree, 請先寫出一個 1-bit adder 的 module, 再參考它的架構, 用這些 adder 將這個 binary multiplier 的 Verilog code 寫出來。

TABLE 8.5 A 6 × 6 Multiplier

							X5	X4	X3	X2	X1	X0	Multiplicand
							Y5	Y4	Y3	Y2	Y1	Y0	Multiplier
							X5Y0	X4Y0	X3Y0	X2Y0	X1Y0	X0Y0	
						X5Y1	X4Y1	X3Y1	X2Y1	X1Y1	X0Y1		
					X5Y2	X4Y2	X3Y2	X2Y2	X1Y2	X0Y2			
				X5Y3	X4Y3	X3Y3	X2Y3	X1Y3	X0Y3				
			X5Y4	X4Y4	X3Y4	X2Y4	X1Y4	X0Y4					
		X5Y5	X4Y5	X3Y5	X2Y5	X1Y5	X0Y5						
P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	P0	Product	



2. 請將第一題中的每個 1-bit binary adder 的 carry out 及 sum 的 delay 設為#1, 並撰寫一些 test bench 來觀察完成這些乘法運算所需的時間. 此外, 請以與此相同 delay 的 1-bit binary adder 接出 6-bit ripple adder, 再仿照講義 3-51 頁的方式用這些 6-bit ripple adder 做出另一個 6-bit by 6-bit binary array multiplier, 並使用相同的 test bench 與第一種乘法器做運算時間的比較.

作業繳交方式:

繳交電子檔即可, 繳交管道及評分方式請見助教於 BBS 上的公告