

## Digital System Design

### Homework #9 (Due: Jun. 1)

1. 請用 Verilog 描述一個兩位元的 BCD counter. (兩個 outputs Digit1 與 Digit0 各為 4-bit). Flip-flops 請統一用 positive edge-triggered. 並需具備 synchronous reset 的功能.

(ex:  $00 \rightarrow 01 \rightarrow 02 \rightarrow \dots \rightarrow 09 \rightarrow 10 \rightarrow 11 \rightarrow \dots \rightarrow 19 \rightarrow 20 \rightarrow 21 \rightarrow \dots$ )

2. 請參閱下圖 Figure 5-22 的 state diagram, 做適當的 state assignment 之後, 用 Verilog 描述一個具有這種行為的電路. Flip-flops 請統一用 positive edge-triggered. 並需具備 synchronous reset 的功能.

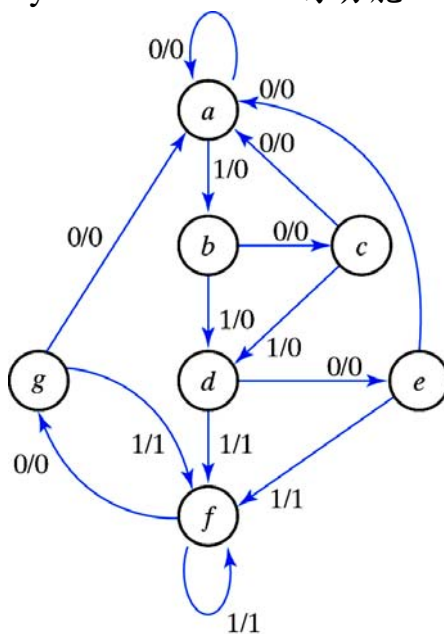


Fig. 5-22 State Diagram

3. 撰寫適當的 test bench, 觀察前兩題的結果.

#### 作業繳交方式:

繳交電子檔即可, 繳交管道及評分方式請見助教於 BBS 上的公告