

以FPGA為基礎之強健性放射狀基底函數網路 控制線型感應馬達驅動系統

FPGA-Based Robust RBFN Control for Linear Induction Motor Drive

國立中央大學電機工程學系教授
國科會工程處電力學門召集人

林法正

E-mail : linfj@ee.ncu.edu.tw

內 容

- 一、緒論
- 二、線型感應馬達與其驅動系統電路
- 三、以FPGA為基礎之線型感應馬達控制晶片
- 四、以FPGA設計強健性放射狀基底函數網路控制器
- 五、以FPGA設計放射狀基底函數網路之適應性步階
迴歸控制器
- 六、結論與未來的研究發展

一、緒論

◆ 研究動機與目的

- 線型感應馬達使用在某些場合中，具有較安靜、可靠性較高以及直接傳動以省去機械傳動裝置的優點。目前已被應用在許多場合中，如高速的地下鐵、磁浮列車、運送管理系統以及CNC工作母機等等之應用上。
- 線型感應馬達的參數很容易因操作情形不同而改變，此外當線型感應馬達在運作時之動摩擦力很難估測，故本文主要探討與驗證可線上學習強健性放射狀基底函數網路控制系統於FPGA上，及其可線上估測動摩擦力之能力。

一、緒論(續)

由於模糊控制與類神經網路等智慧型控制技術並不需要受控系統的數學模型，同時具有近似非線性系統的能力。因此，有許多的研究利用智慧型控制來做複雜的受控系統建模或是建構高階的控制器。

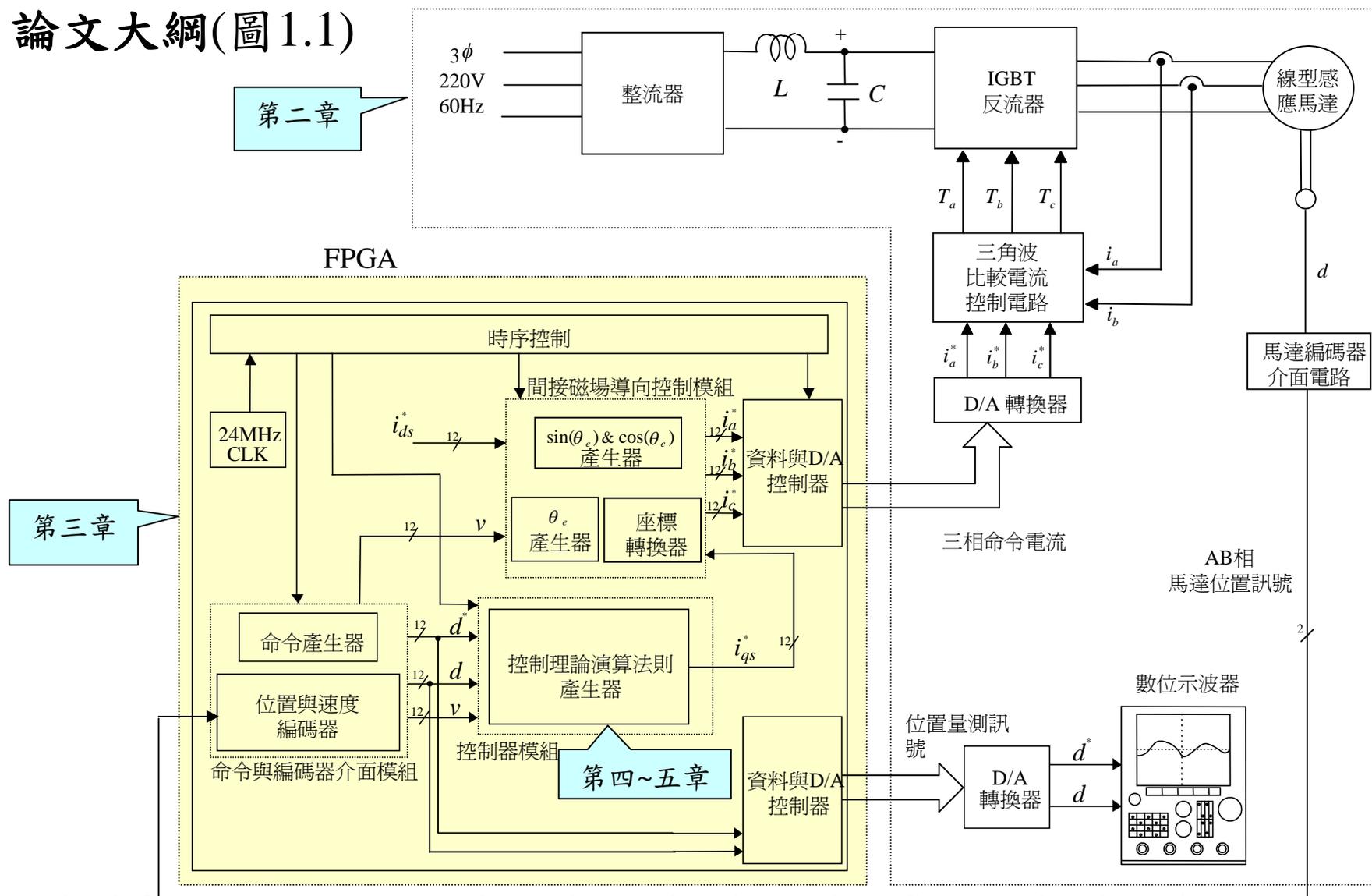
放射狀基底函數網路的隱藏層神經元數目等同於模糊系統的IF-THEN規則數，而其隱藏層的基底函數則相當於模糊系統前置部(Premise Part)的歸屬函數。根據以上的特點可知，放射狀基底函數利用三層神經層便可完成模糊類神經網路的功能，因此具有較高的推論及學習效率，亦即應用放射狀基底函數網路來控制動態系統是相當有幫助的。

一、緒論(續)

- 適應性步階迴歸控制是屬於一種有系統、有條理且遞迴式非線性迴授的設計方法論。其中步階迴歸設計概念是適當選擇總體系統中子系統的虛擬控制輸入的狀態變數函數，其中每一級的步階迴歸都會產生因前一級設計所得的新虛擬控制項。最後藉由連結每一層級的虛擬控制項變數來設計李亞普諾夫函數，且由李亞普諾夫穩定度證明，可以推得適應性步階迴歸控制器數學式。
- FPGA結合了陣列邏輯閘的結構與可程式邏輯元件的可程式化特性，因此近年來被應用於開發設計數位積體電路的最佳驗證工具。本文之磁場導向控制與所提出之控制法則將會利用VHDL實現，並將之下載到FPGA以驗證之。

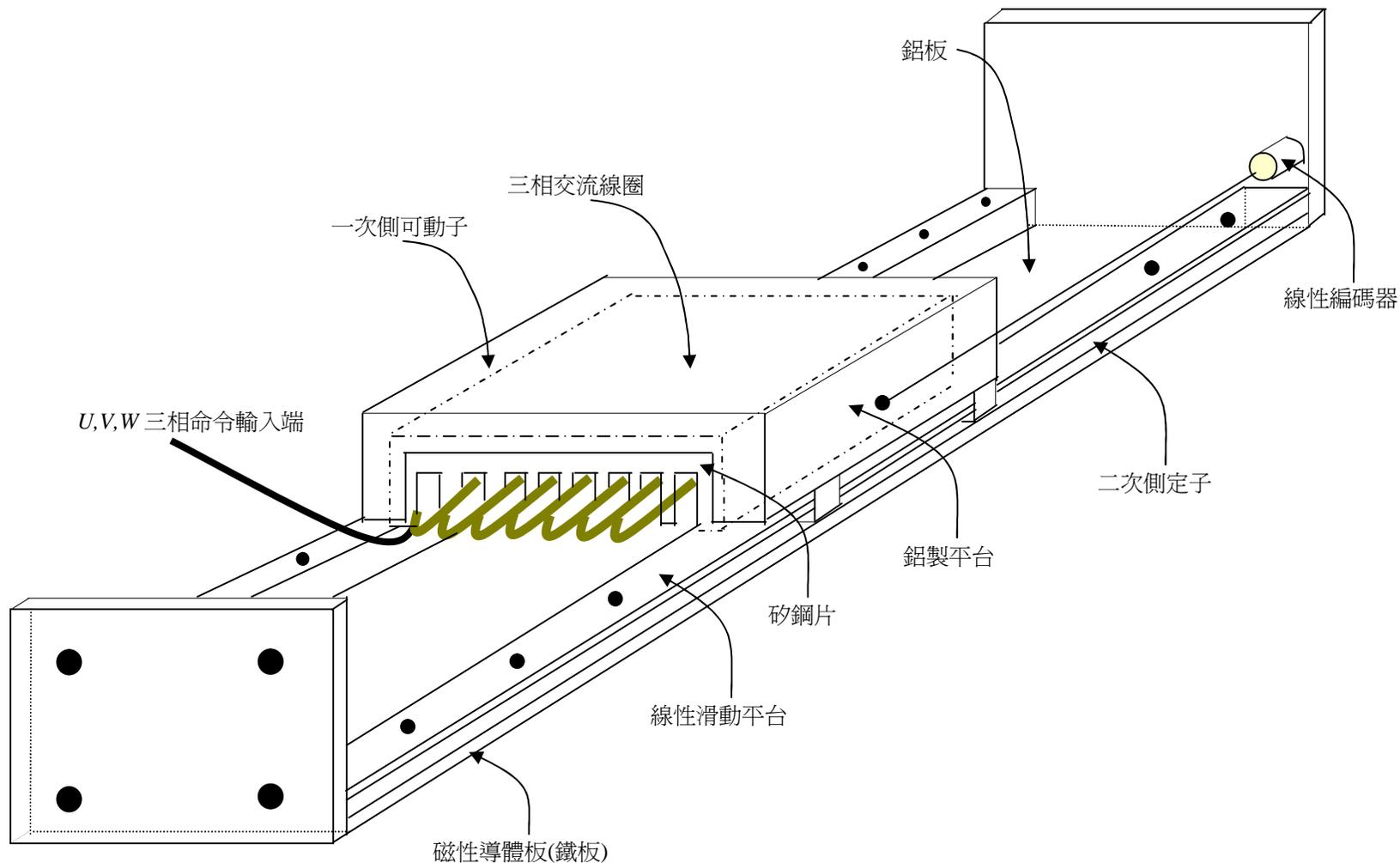
一、緒論(續)

◆ 論文大綱(圖 1.1)



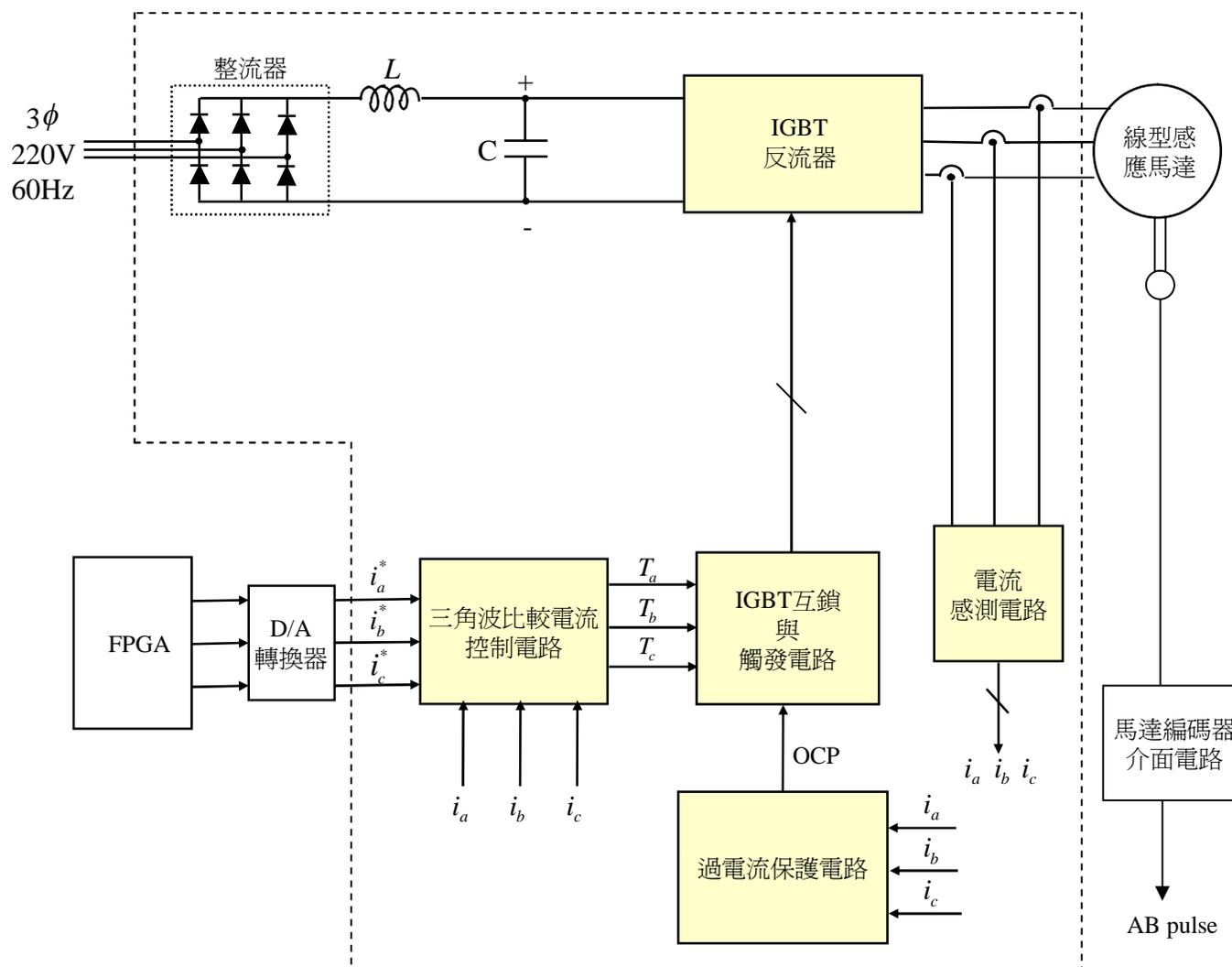
二、線型感應馬達與其驅動系統電路

□ 馬達外觀圖(圖2.1) [31]



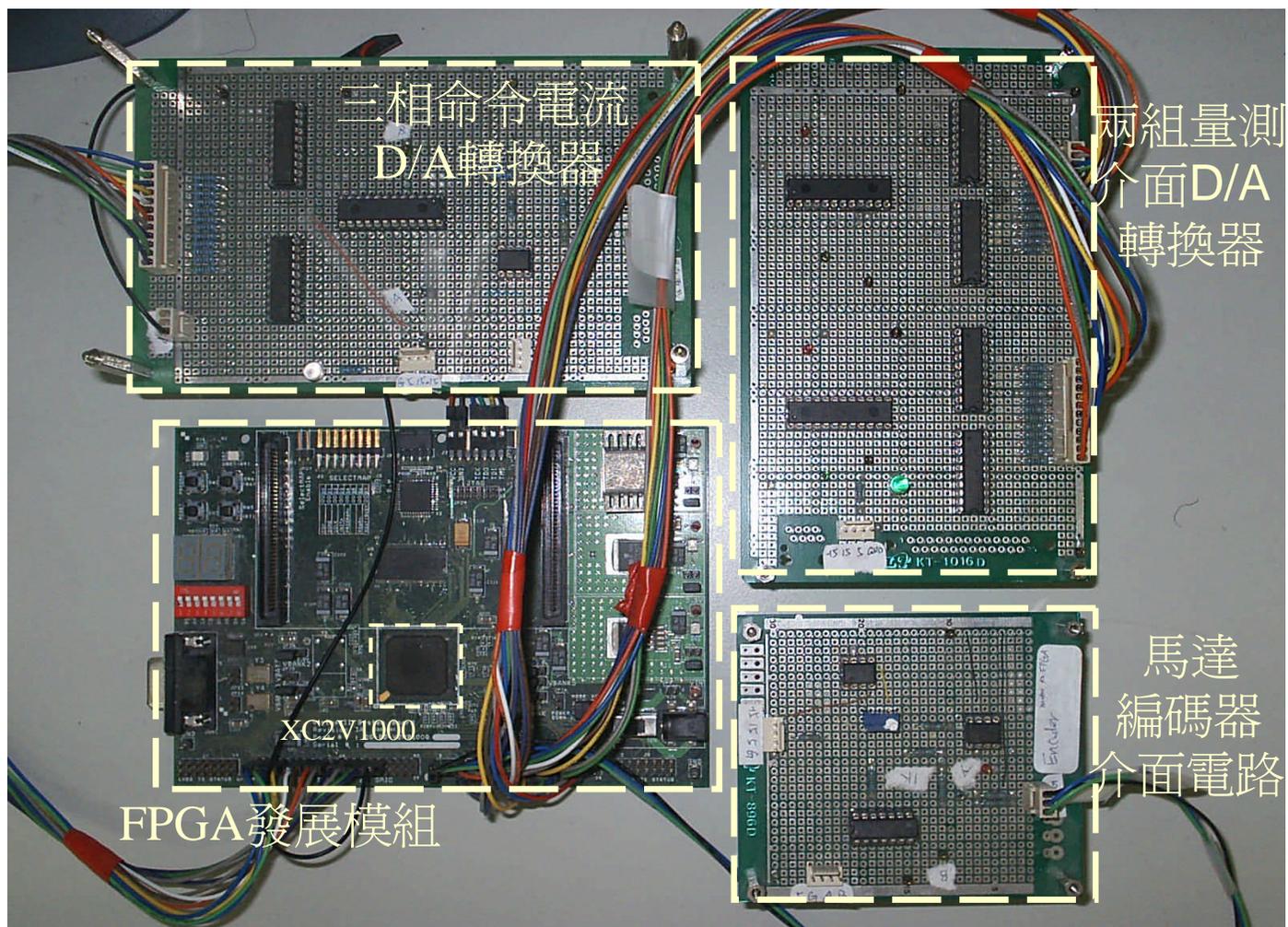
二、線型感應馬達與其驅動系統電路(續)

□ 線型感應馬達驅動系統方塊圖(圖2.2)



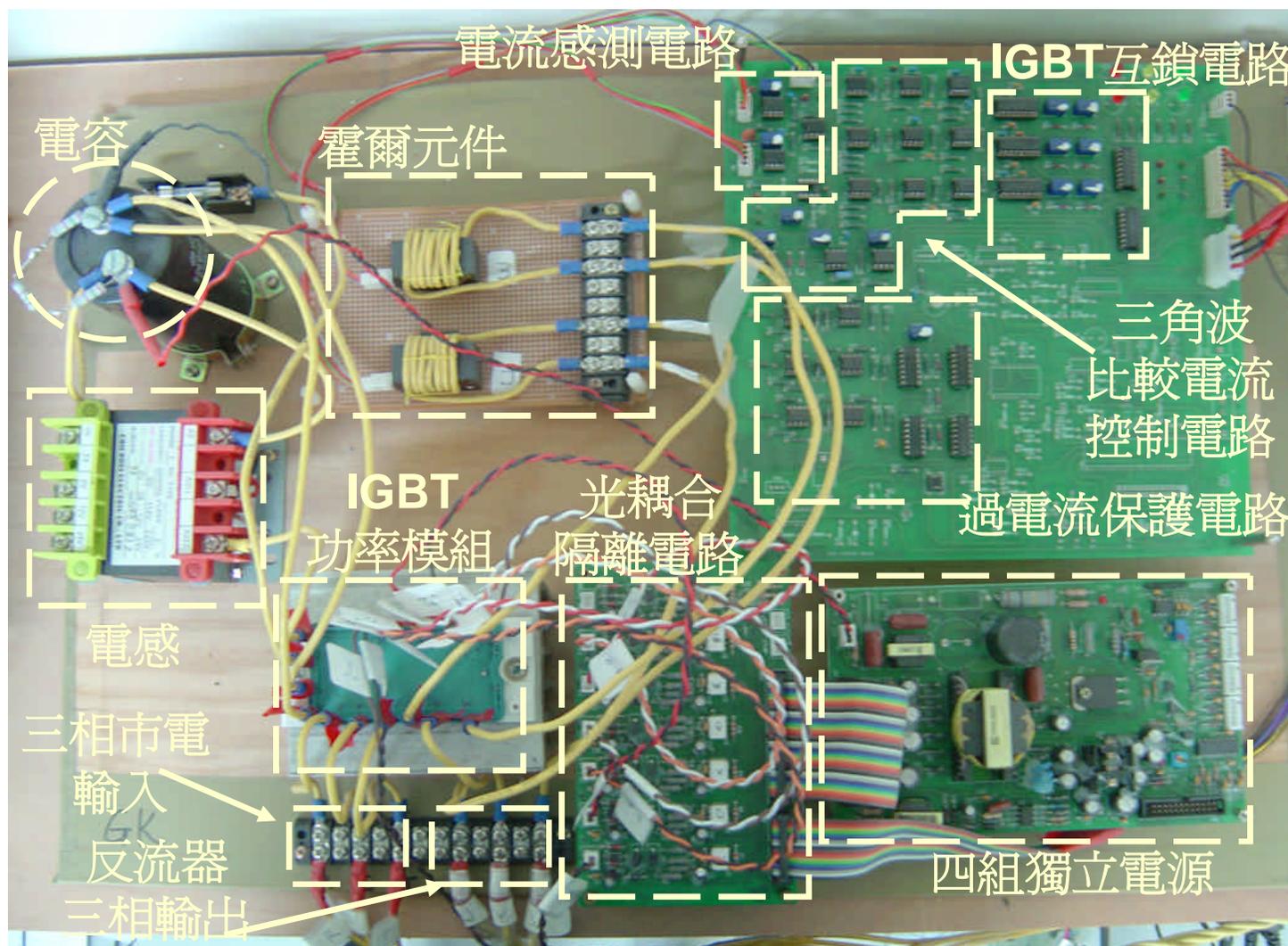
二、線型感應馬達與其驅動系統電路(續)

□ FPGA發展模組、D/A轉換器、馬達編碼器介面電路(圖2.13)



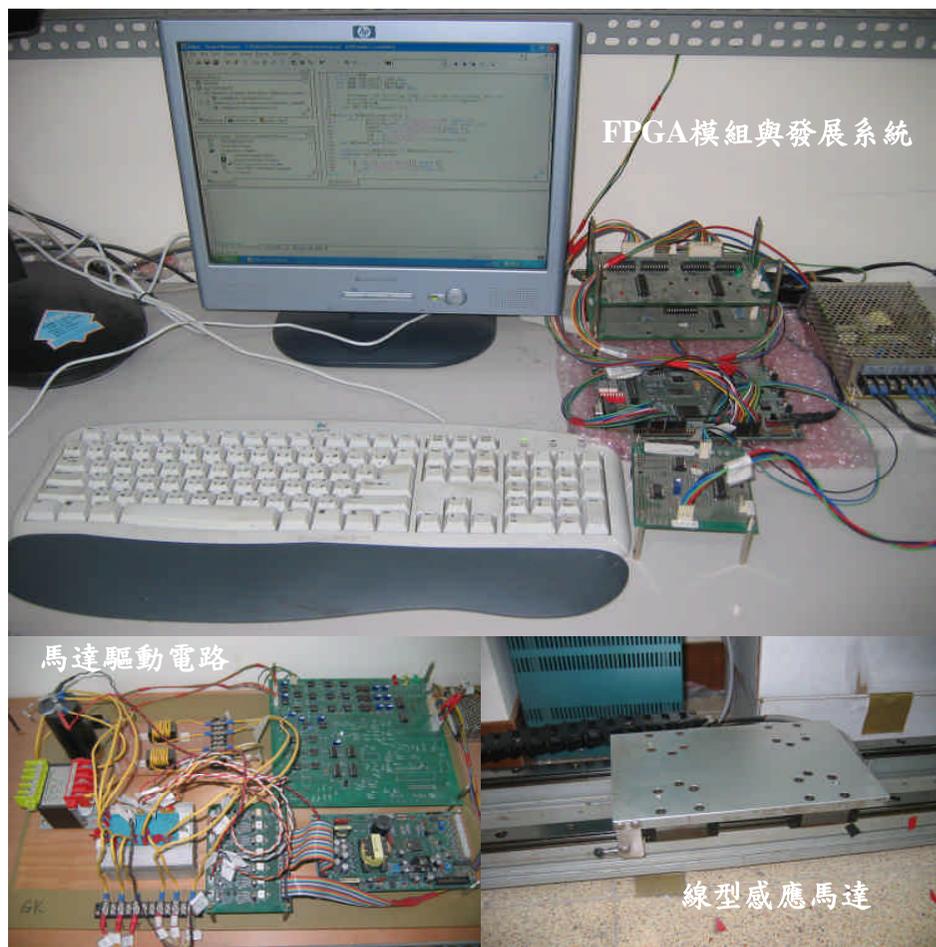
二、線型感應馬達與其驅動系統電路(續)

□ 馬達驅動系統(圖2.14)



二、線型感應馬達與其驅動系統電路(續)

□ 以FPGA為基礎之線型感應馬達伺服驅動系統之實體圖(圖2.15)



三、以FPGA為基礎之線型感應馬達控制晶片

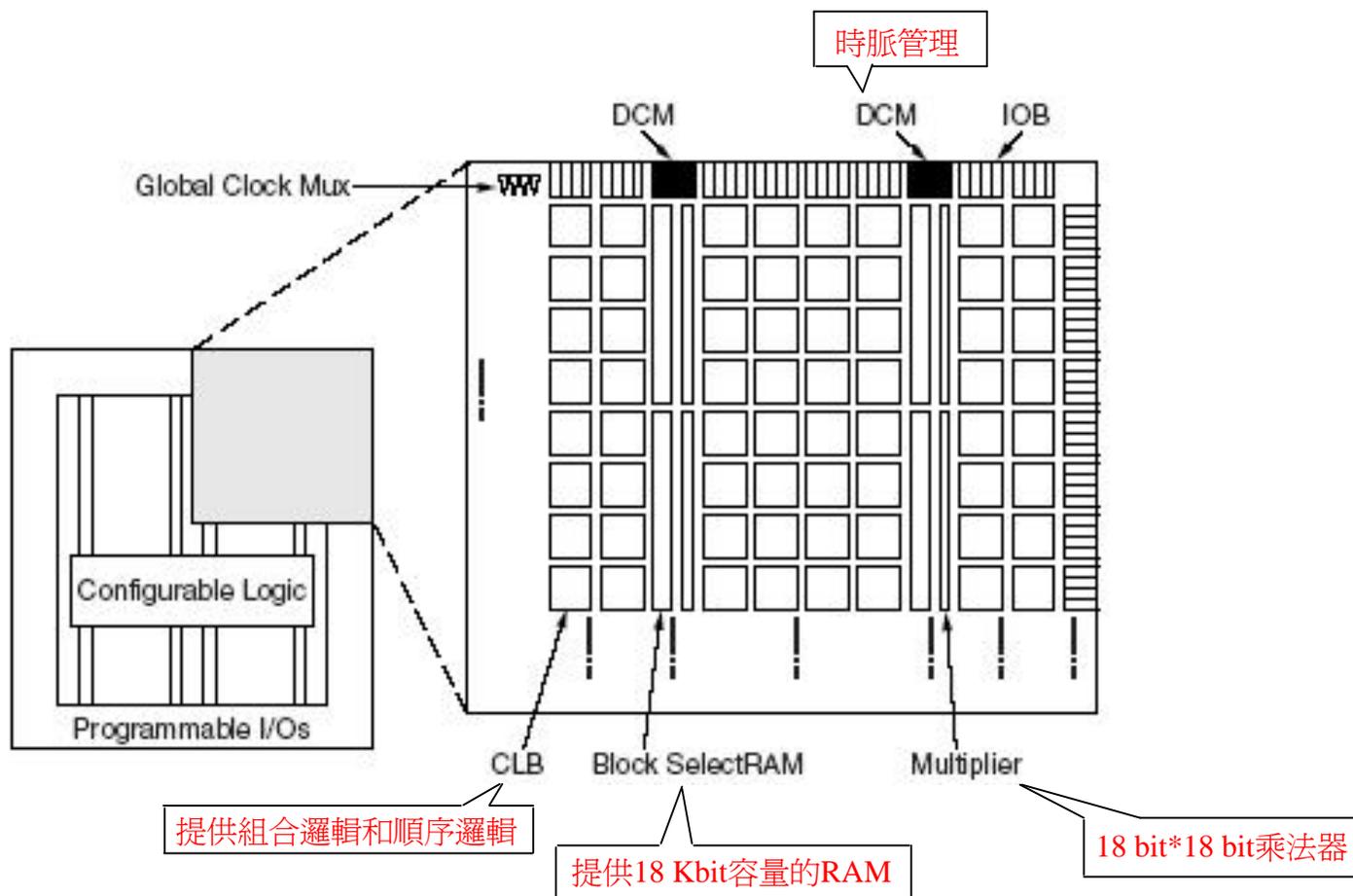
◆ FPGA之簡介

□ Virtex-II系列之規格表(表3.1)

Device	System Gates	CLB (1 CLB = 4 slices = Max 128 bits)			Multiplier Blocks	SelectRAM Blocks		DCMs	Max I/O Pads ⁽¹⁾
		Array Row x Col.	Slices	Maximum Distributed RAM Kbits		18 Kbit Blocks	Max RAM (Kbits)		
XC2V40	40K	8 x 8	256	8	4	4	72	4	88
XC2V80	80K	16 x 8	512	16	8	8	144	4	120
XC2V250	250K	24 x 16	1,536	48	24	24	432	8	200
XC2V500	500K	32 x 24	3,072	96	32	32	576	8	264
XC2V1000	1M	40 x 32	5,120	160	40	40	720	8	432
XC2V1500	1.5M	48 x 40	7,680	240	48	48	864	8	528
XC2V2000	2M	56 x 48	10,752	336	56	56	1,008	8	624
XC2V3000	3M	64 x 56	14,336	448	96	96	1,728	12	720
XC2V4000	4M	80 x 72	23,040	720	120	120	2,160	12	912
XC2V6000	6M	96 x 88	33,792	1,056	144	144	2,592	12	1,104
XC2V8000	8M	112 x 104	46,592	1,456	168	168	3,024	12	1,108

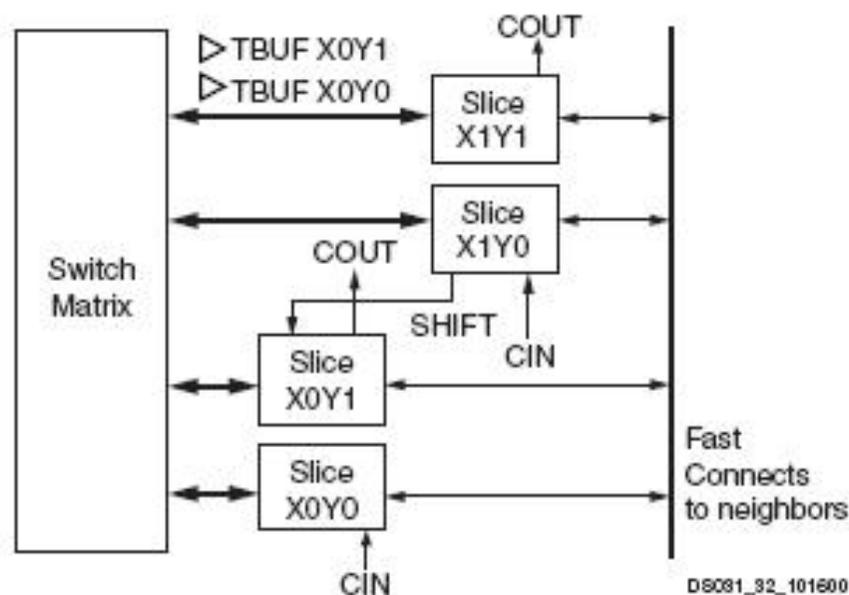
三、以FPGA為基礎之線型感應馬達控制晶片(續)

□ Virtex-II 內部結構(圖3.3)



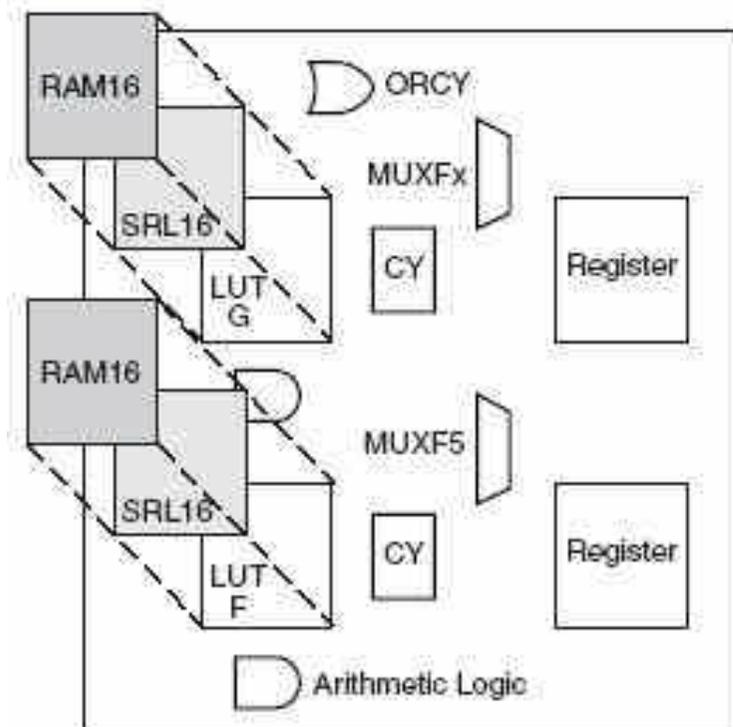
三、以FPGA為基礎之線型感應馬達控制晶片(續)

- 每個CLB(圖3.4)包含4個Slices和2個3-State Buffers，且每個CLB會銜接一個可程式繞線開關陣列。



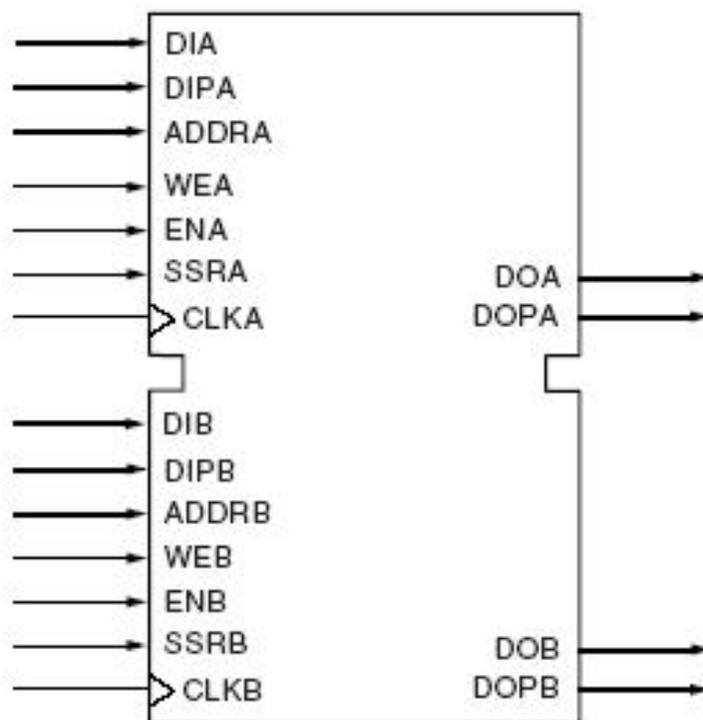
三、以FPGA為基礎之線型感應馬達控制晶片(續)

- 每個Slice(圖3.5)由2個函數產生器、算數邏輯閘、運送邏輯、多工器、或閘以及2個暫存器所構成。



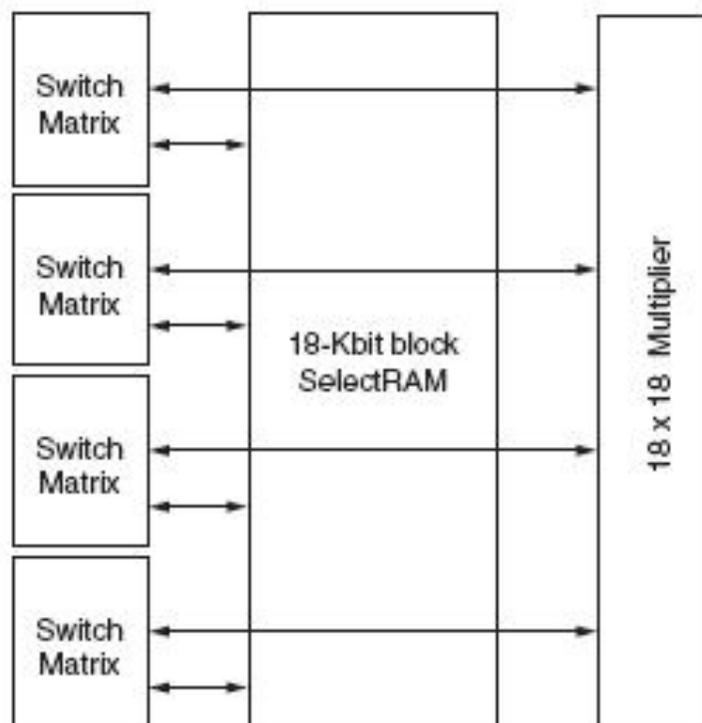
三、以FPGA為基礎之線型感應馬達控制晶片(續)

- SelectRAM(圖3.6)可與CLB相配使用，每個為18 Kbit容量，本文所使用FPGA晶片內部共有40個SelectRAM。



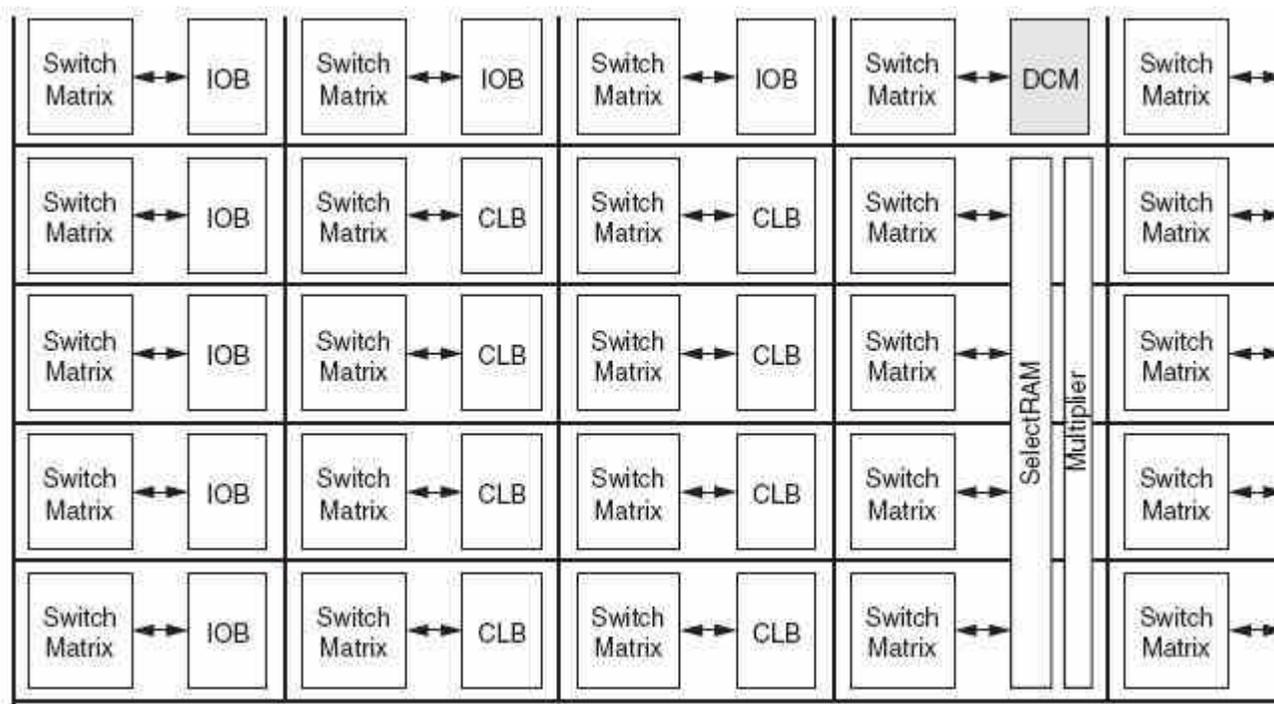
三、以FPGA為基礎之線型感應馬達控制晶片(續)

- 每個Multiplier為18bit*18bit之二補數有號數，且可以單獨使用或是與SelectRAM搭配使用。每個Multiplier和SelectRAM是與4個開關陣列聯繫在一起(圖3.7)。



三、以FPGA為基礎之線型感應馬達控制晶片(續)

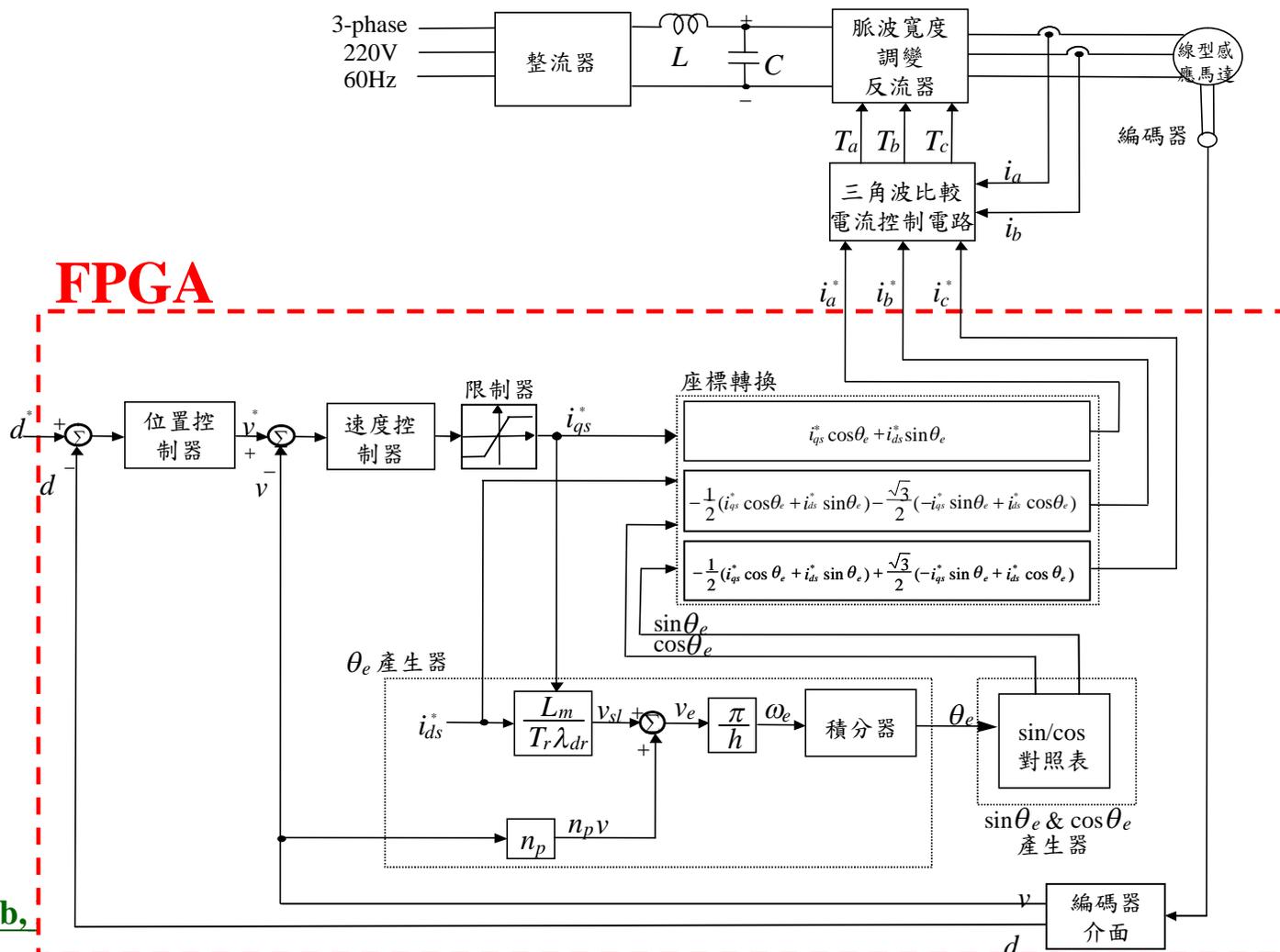
- 在Virtex-II裡，透過繞線資源以及開關矩陣可以將內部所有元件互相聯繫在一起(圖3.8)。



三、以FPGA為基礎之線型感應馬達控制晶片(續)

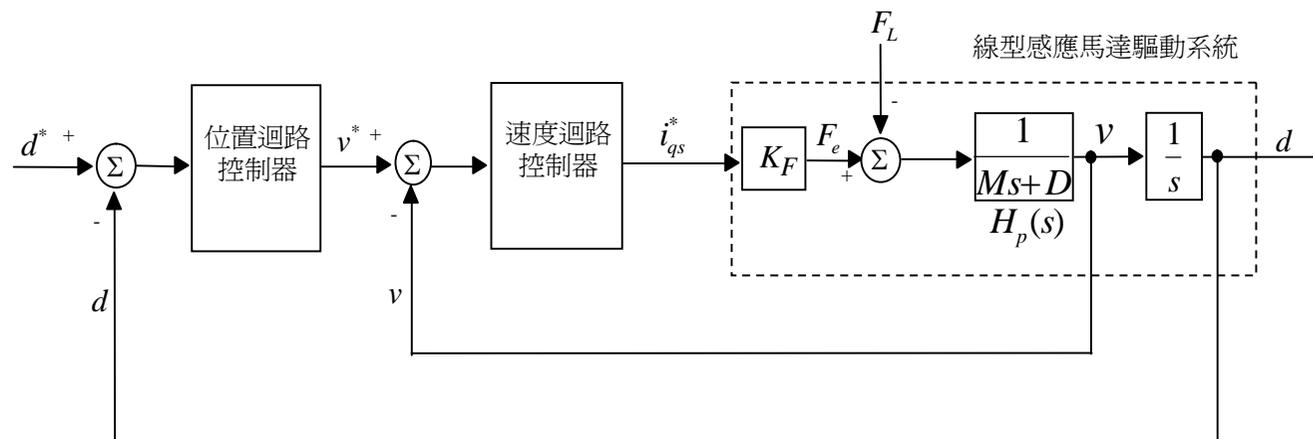
◆ 線型感應馬達間接磁場導向控制

□ 磁場導向控制之線型感應馬達驅動系統架構圖(圖3.9)



三、以FPGA為基礎之線型感應馬達控制晶片(續)

□ 簡化之線型感應馬達控制系統方塊圖(圖3.10)[22]



線型感應馬達驅動系統其動態方程式為：

$$\dot{d} = v \quad (3.11)$$

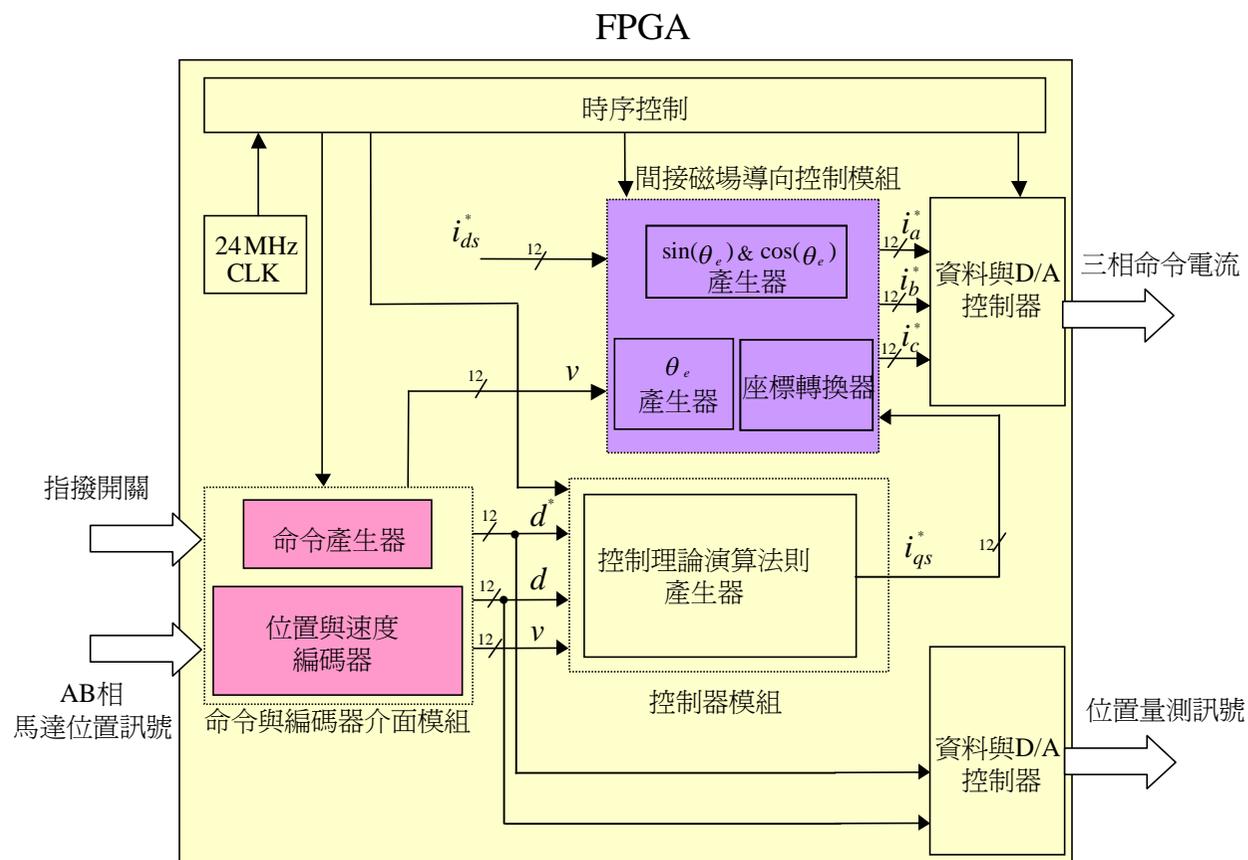
$$\dot{v} = (A_m + \Delta A)v + (B_m + \Delta B)U_p + C[F_L + f(v)] = A_m v + B_m U_p + F \quad (3.12)$$

其中 $A_m = -\bar{D}/\bar{M}$ 、 $B_m = K_F/\bar{M}$ 、 $C = -1/\bar{M}$ ， F_L 為外來干擾， $f(v)$ 為摩擦力。

三、以FPGA為基礎之線型感應馬達控制晶片(續)

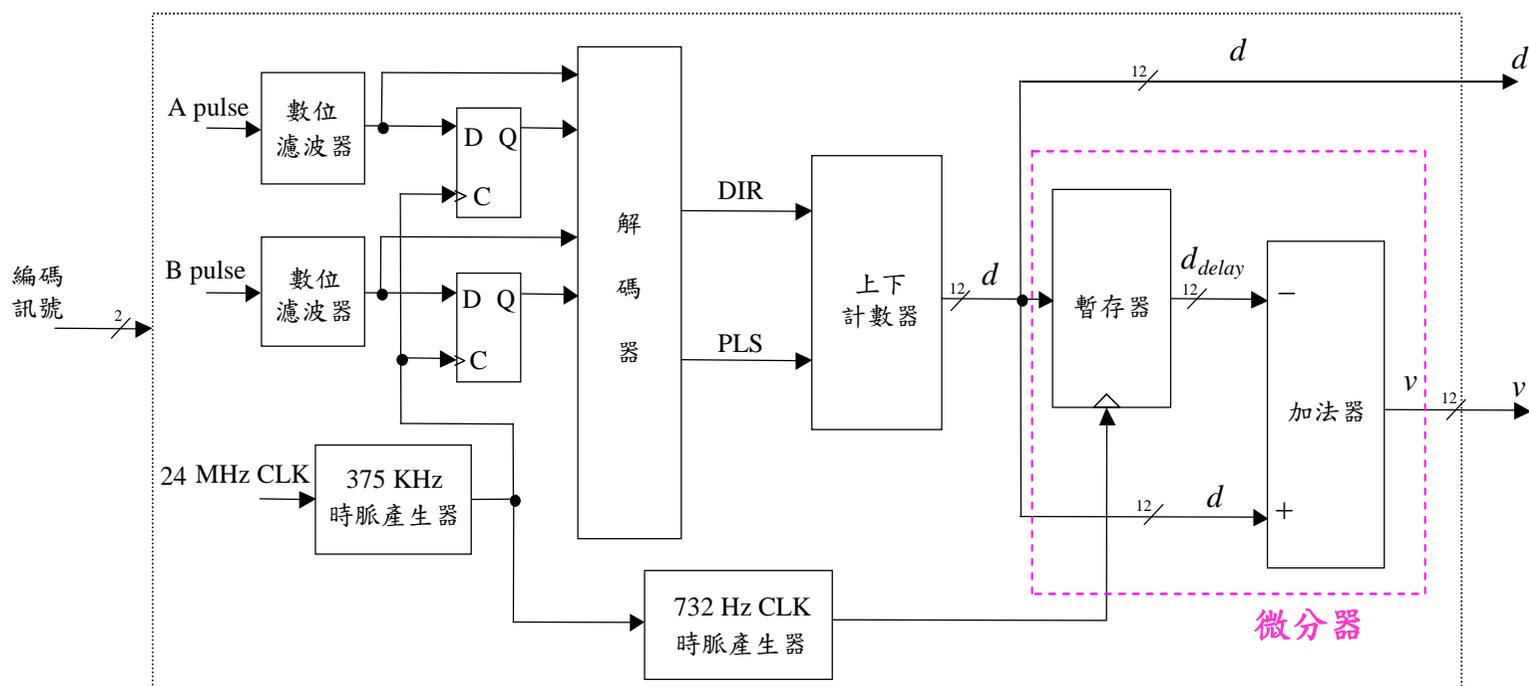
◆ FPGA控制晶片其設計架構

□ FPGA控制晶片設計架構圖 (圖3.11)



三、以FPGA為基礎之線型感應馬達控制晶片(續)

□ 位置與速度編碼器方塊圖(圖3.12)[31]





三、以FPGA為基礎之線型感應馬達控制晶片(續)

- 系統規格

- 1、編碼器： $10\text{cm} = 1000$ (數位值)

- 2、電壓規格： $1\text{V} = 409$ (數位值)

- 3、速度規格： $1\text{V} = 29.9338 \text{ m/s} = 409$ (數位值)



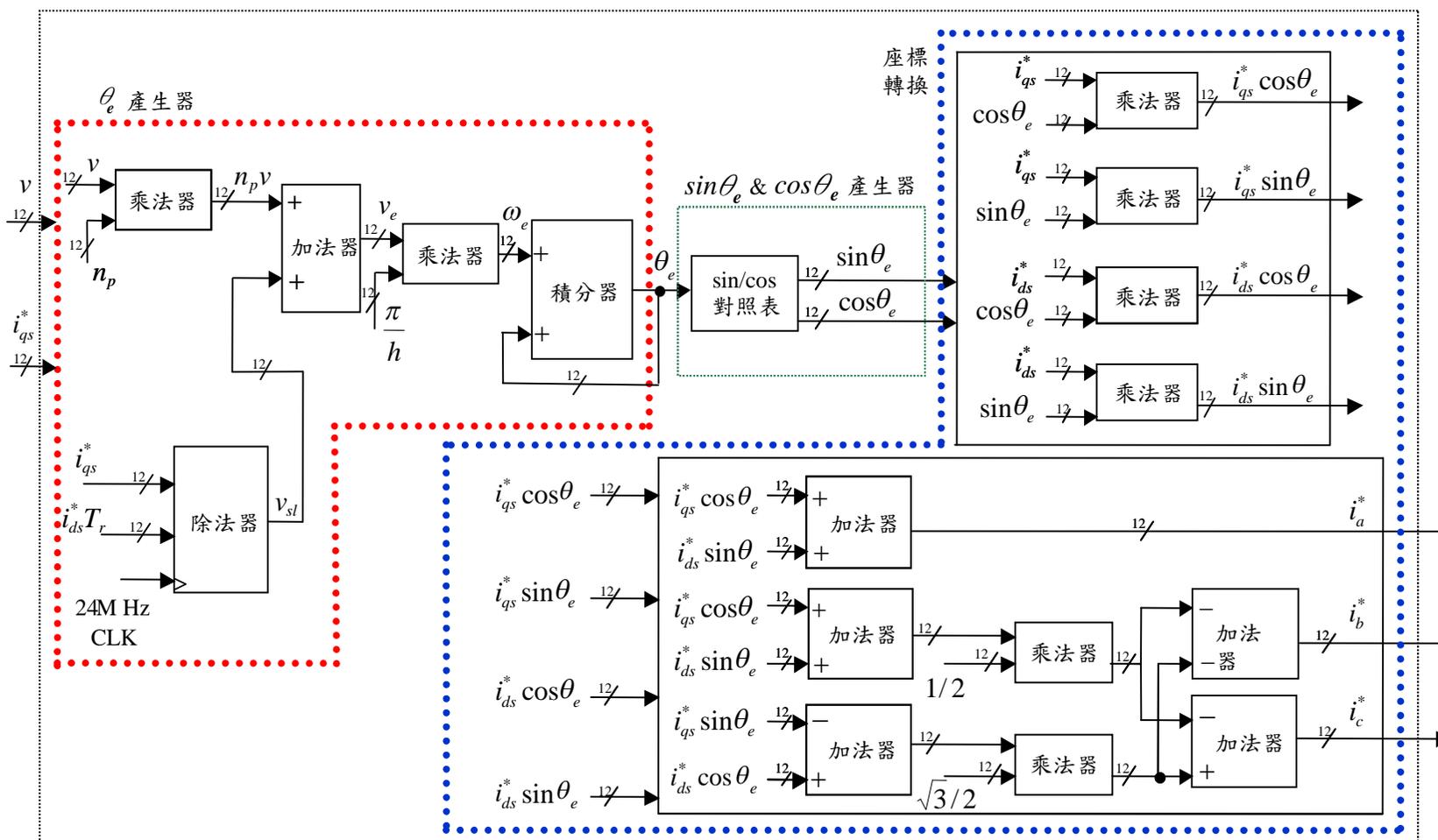
三、以FPGA為基礎之線型感應馬達控制晶片(續)

□ 命令產生器

- 弦波:內建IP，週期為5.6秒，峰對峰值為-0.1~0.1m。
- 梯形波:週期為5秒，上升下降時間各為1.5秒，高度為0.1m。

三、以FPGA為基礎之線型感應馬達控制晶片(續)

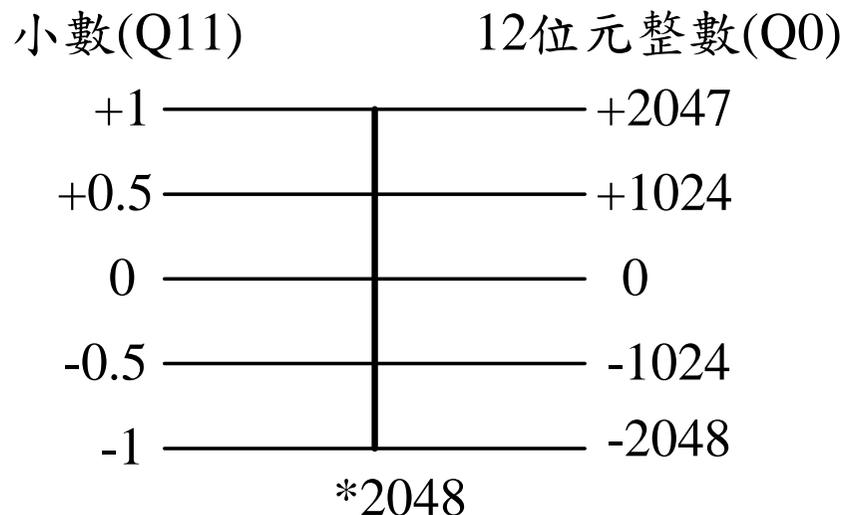
□ 間接磁場導向控制模組(圖3.13)[22]





三、以FPGA為基礎之線型感應馬達控制晶片(續)

- 資料與D/A控制器
使用的D/A晶片型號為DA7237，規格為0~4095(數位值)
對應到-5~5V(類比值)。
- 數值系統，Q值概念，圖3.19說明12位元(Q11)與整數(Q0)間的對應。



四、以FPGA設計強健性放射狀基底函數網路控制器

◆ 強健性放射狀基底函數網路控制法則

- 經由磁場導向控制之線型感應馬達，在考慮有參數變化，和外在來負載干擾以及摩擦力情況下，其動態方程式如下所示：

$$\dot{v} = v \quad (4.1)$$

$$\dot{v} = (A_m + \Delta A)v + (B_m + \Delta B)U_p + C[F_L + f(v)] = A_m v + B_m U_p + F \quad (4.2)$$

A. 滑動模式控制

輔助訊號 δ 設計如下：

$$\dot{\delta} = \dot{v}_m + k\delta \quad (4.8)$$

設計一個滑動模式系統，根據等效控制原理，來判斷動態系統有無在滑動介面上。所以等效控制可描述為

$$U_{eq} = B_m^{-1}(-A_m v - F + \dot{v}_m + k\delta) \quad (4.13)$$

四、以FPGA設計強健性放射狀基底函數網路控制器(續)

B. 放射狀基底函數網路的推導

圖 4.1(a)為放射狀基底函數網路的架構圖

第一層：輸入層

$$\psi_i = [\psi_1 \quad \psi_2] = [S \quad \mathcal{S}]$$

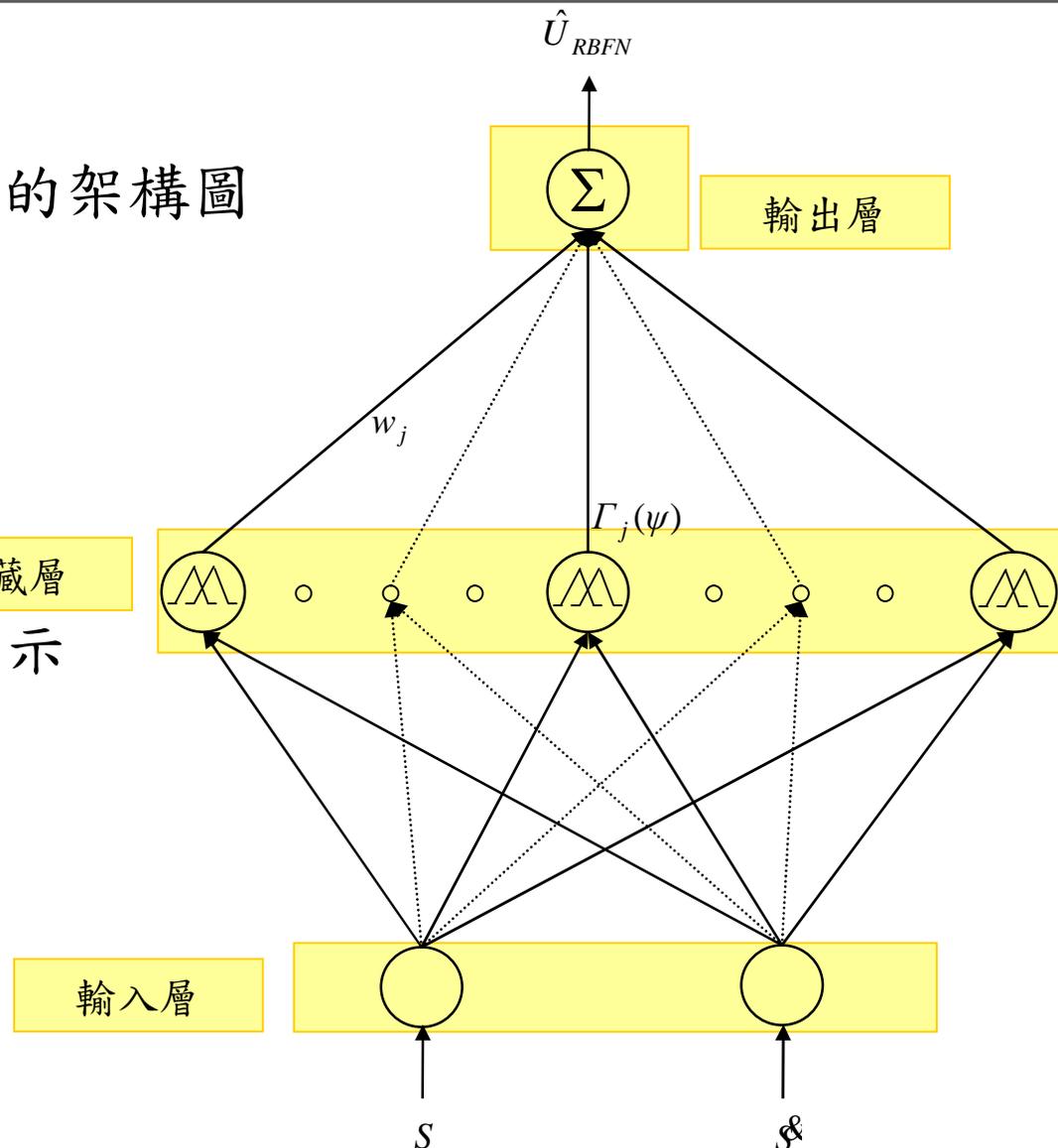
第二層：隱藏層

採用三角形函數，以圖 4.1(b)表示

$$\Gamma_j(\psi) = \Gamma_j(\psi_1)\Gamma_j(\psi_2)$$

第三層：輸出層

$$\hat{U}_{RBFN} = \sum_{j=1}^M w_j \Gamma_j(\psi)$$



四、以FPGA設計強健性放射狀基底函數網路控制器(續)

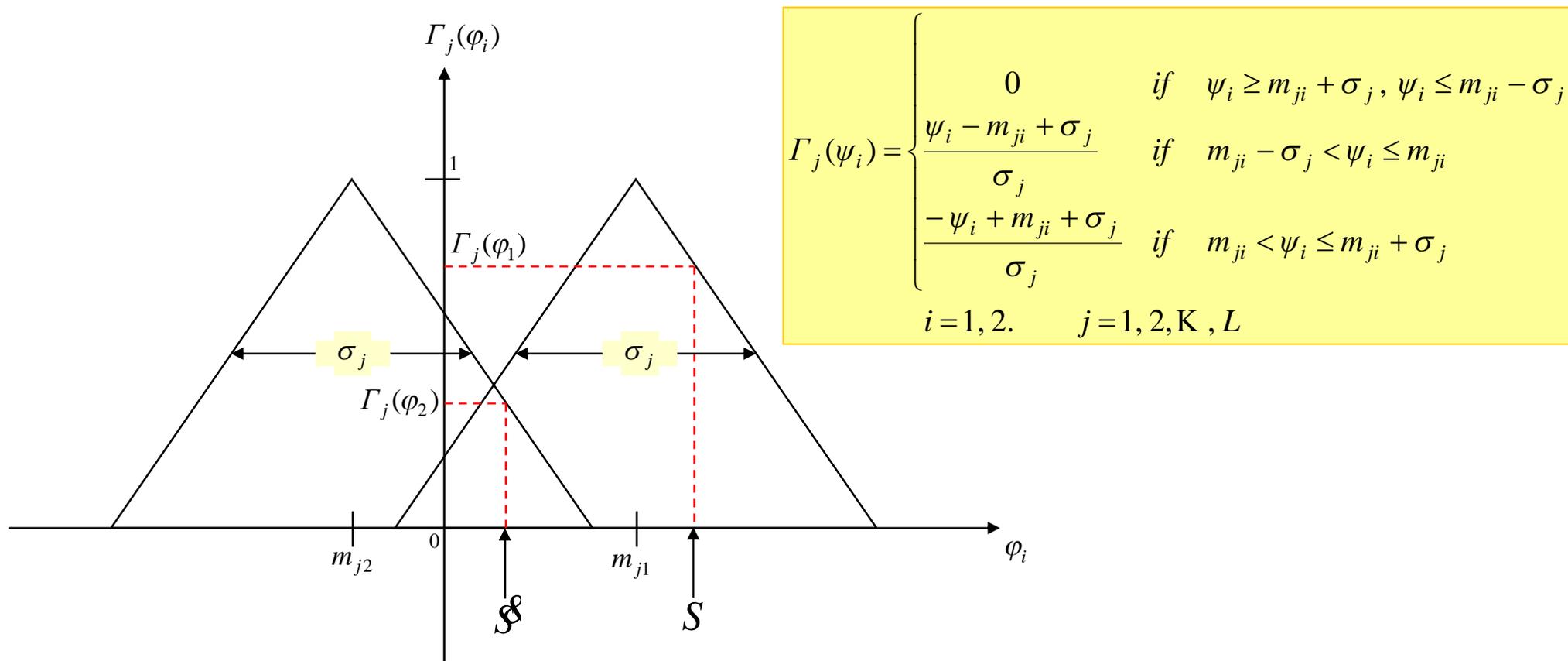
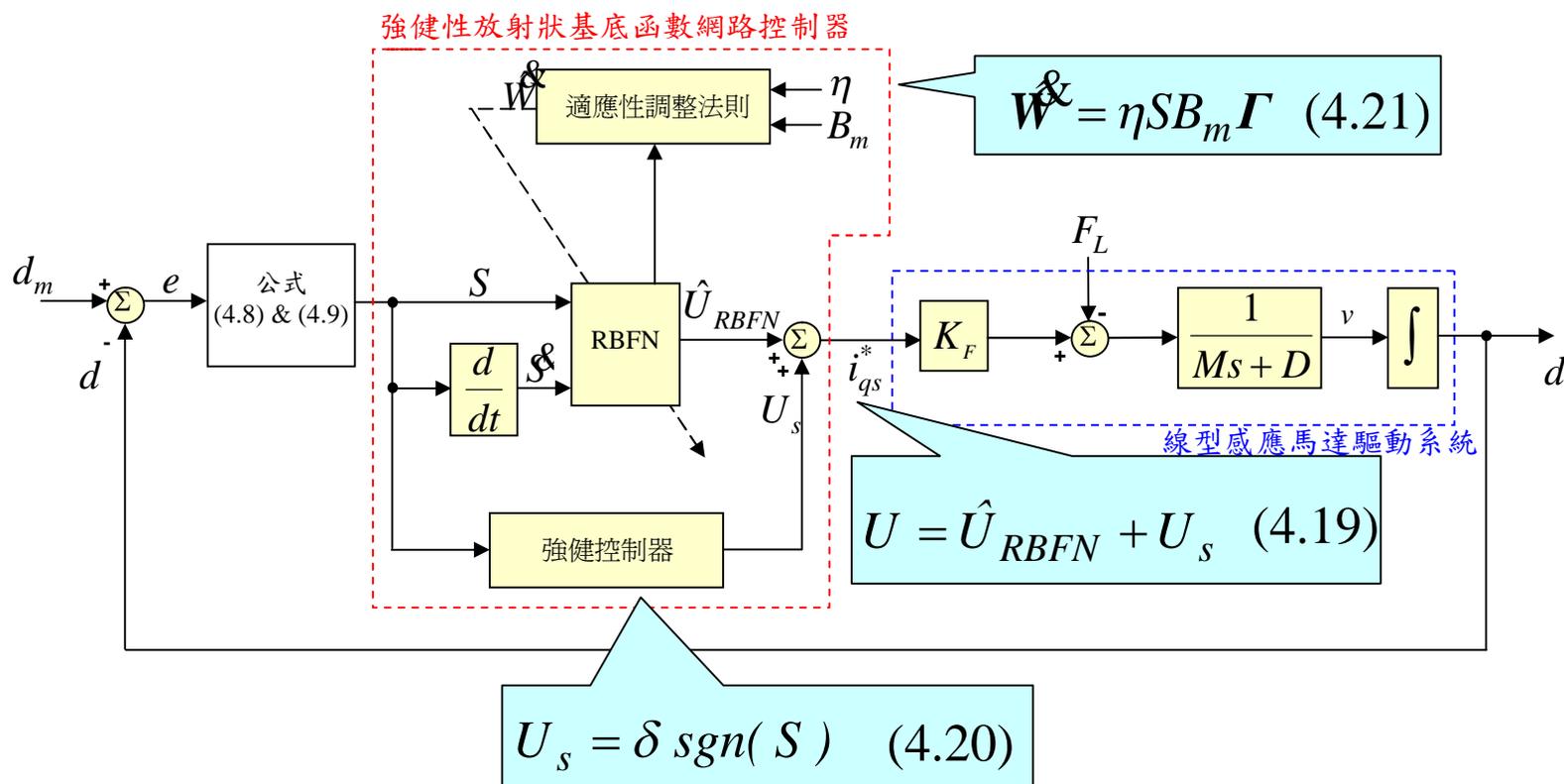


圖4.2(b) 三角形函數圖

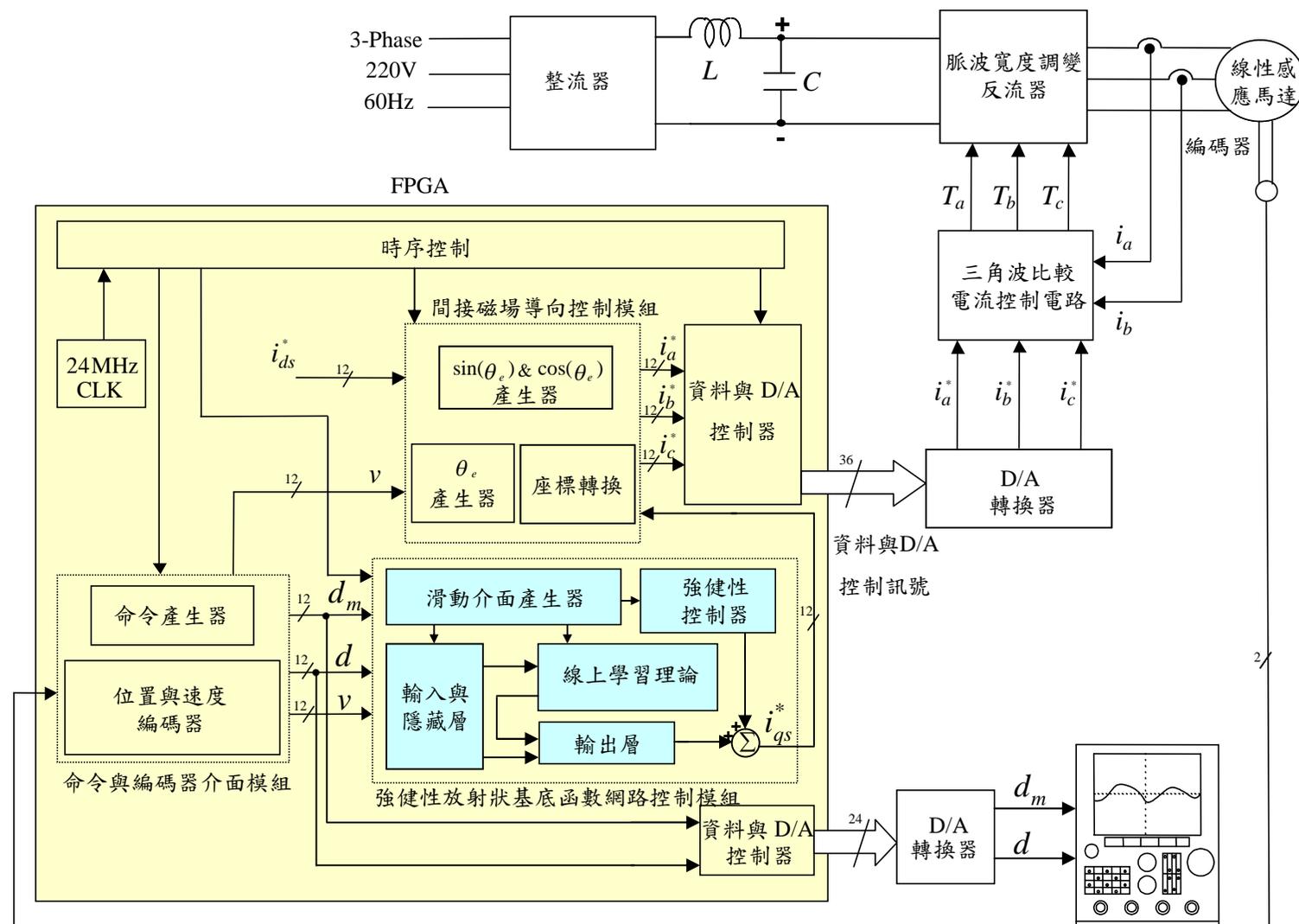
四、以FPGA設計強健性放射狀基底函數網路控制器(續)

□ 強健性放射狀基底函數網路控制器方塊圖(圖4.2)



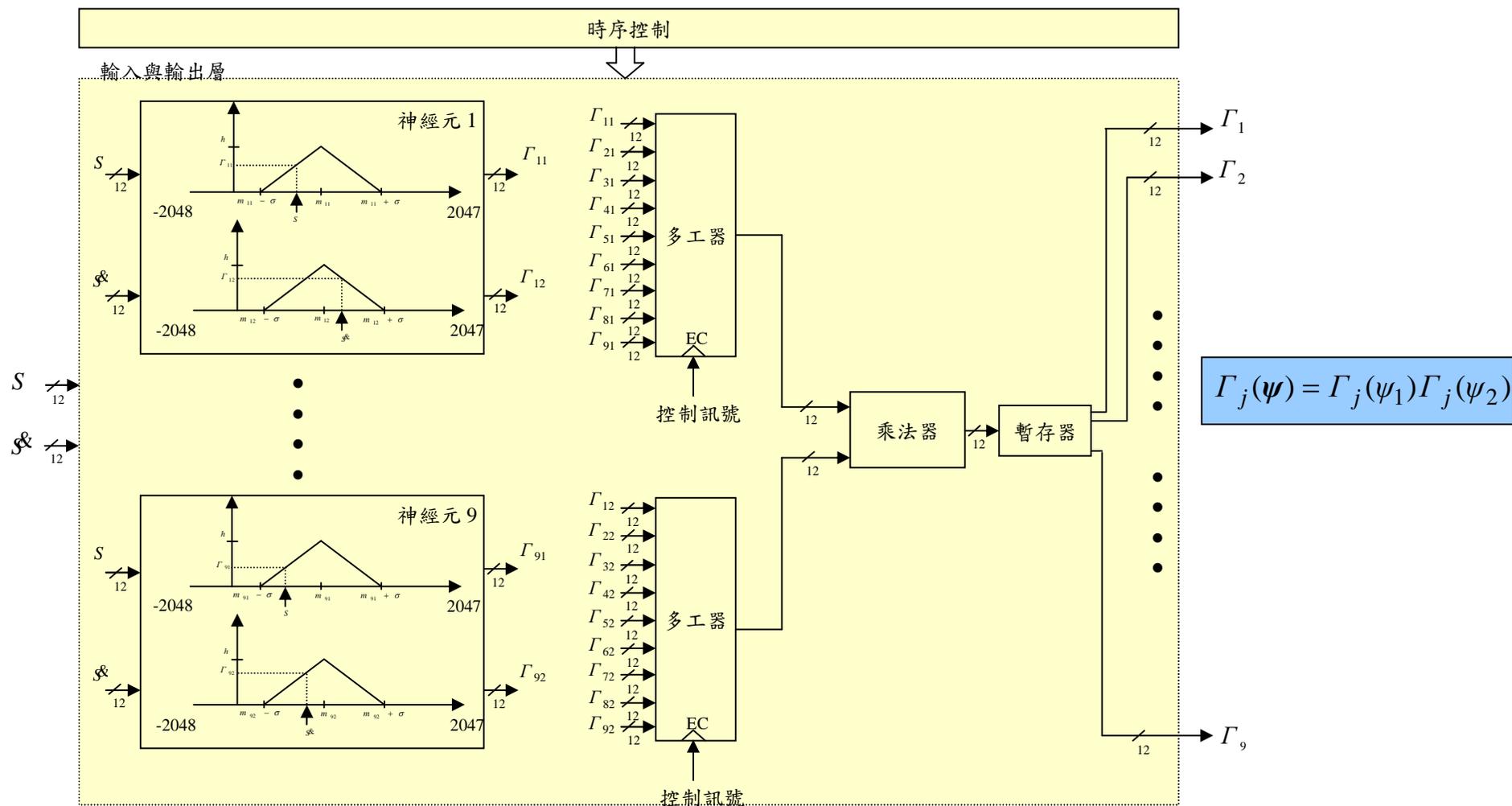
四、以FPGA設計強健性放射狀基底函數網路控制器(續)

□ 強健性放射狀基底函數網路控制系統架構圖(圖4.3)



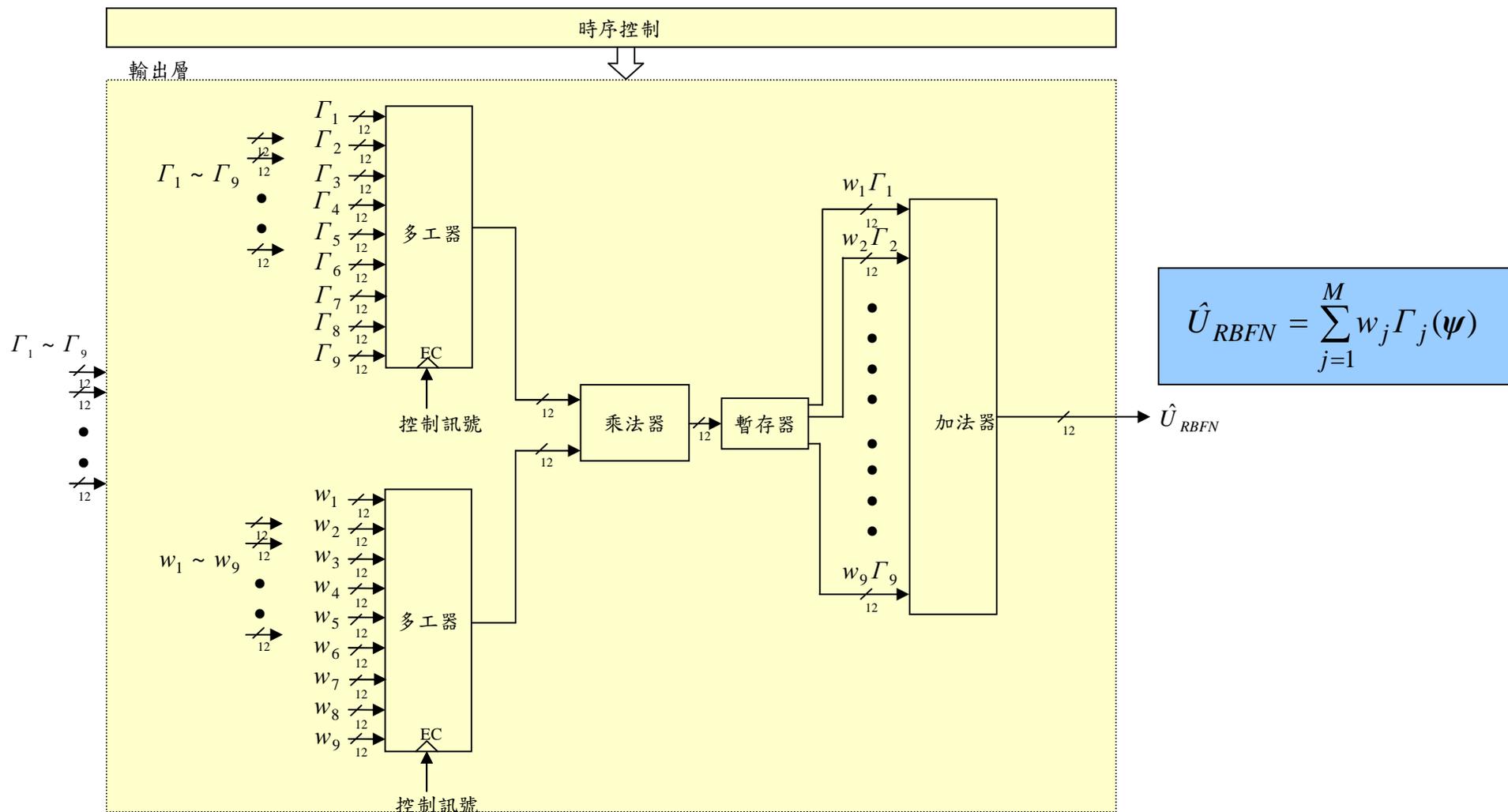
四、以FPGA設計強健性放射狀基底函數網路控制器(續)

□ 輸入與隱藏層方塊圖



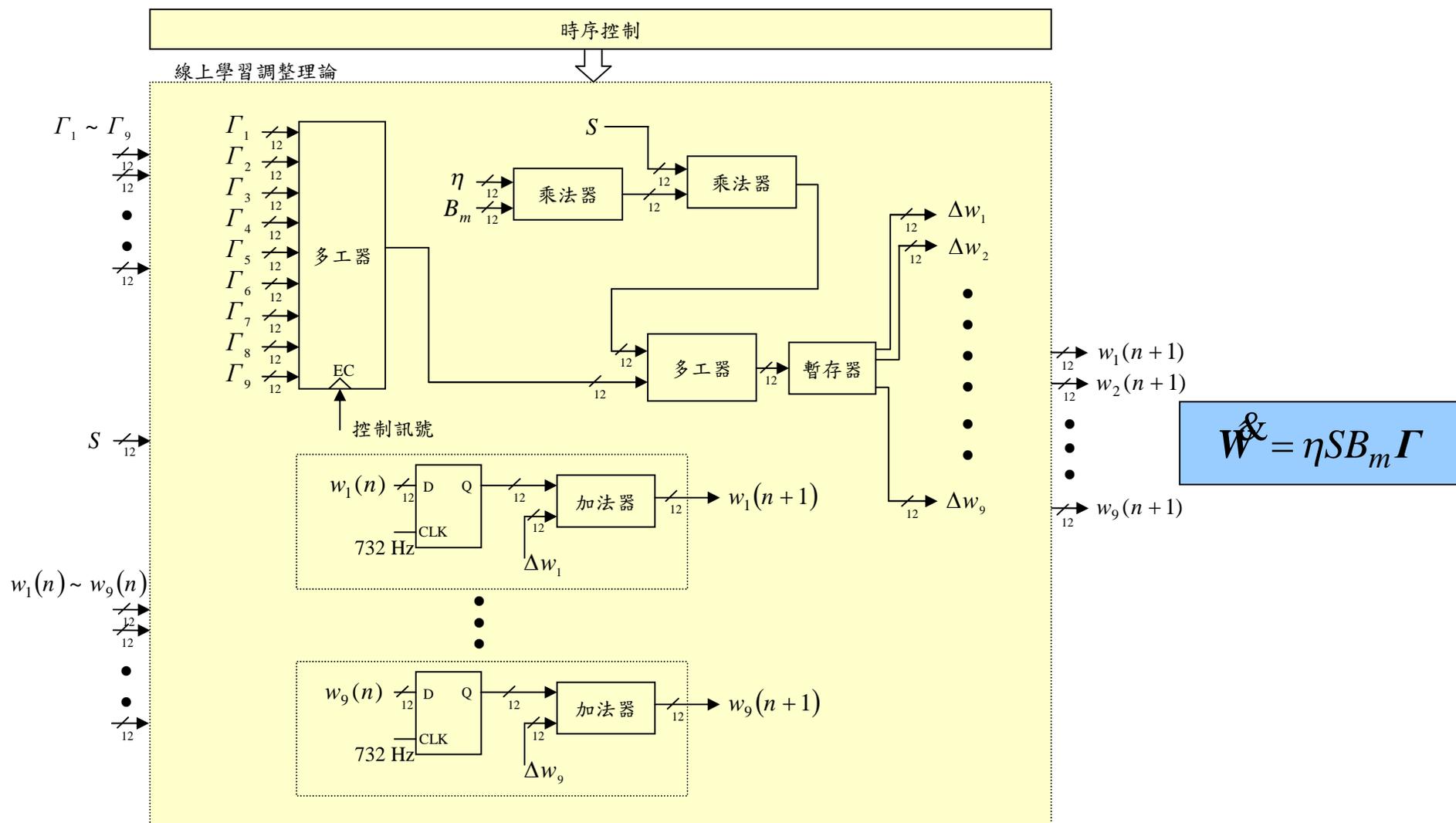
四、以FPGA設計強健性放射狀基底函數網路控制器(續)

□ 輸出層方塊圖



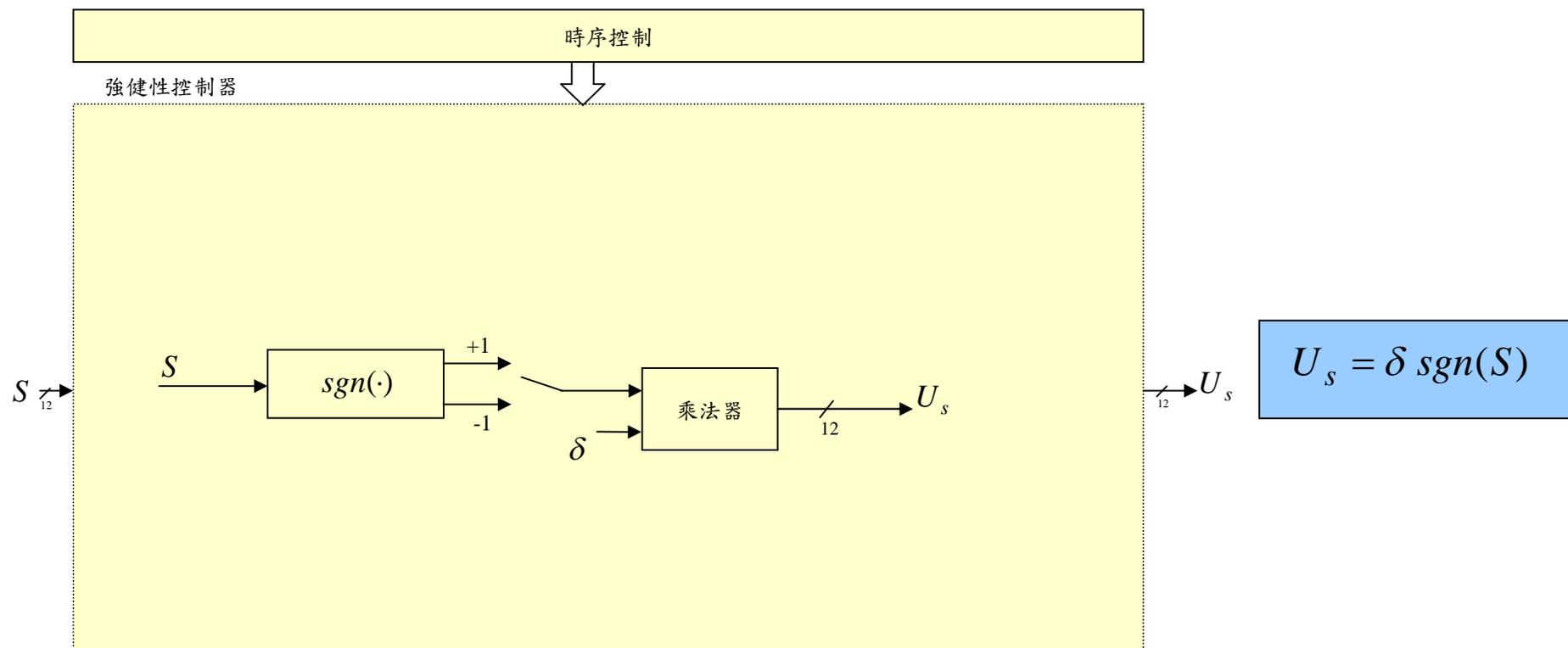
四、以FPGA設計強健性放射狀基底函數網路控制器(續)

□線上學習調整理論方塊圖



四、以FPGA設計強健性放射狀基底函數網路控制器(續)

□ 強健性控制器方塊圖



四、以FPGA設計強健性放射狀基底函數網路控制器(續)

□實作結果

正常狀況(狀況一)：無載

參數變化狀況(狀況二)：加載3.66公斤重的砝碼

強健性放射狀基底函數網路控制器的正值常數和學習速率給定為：

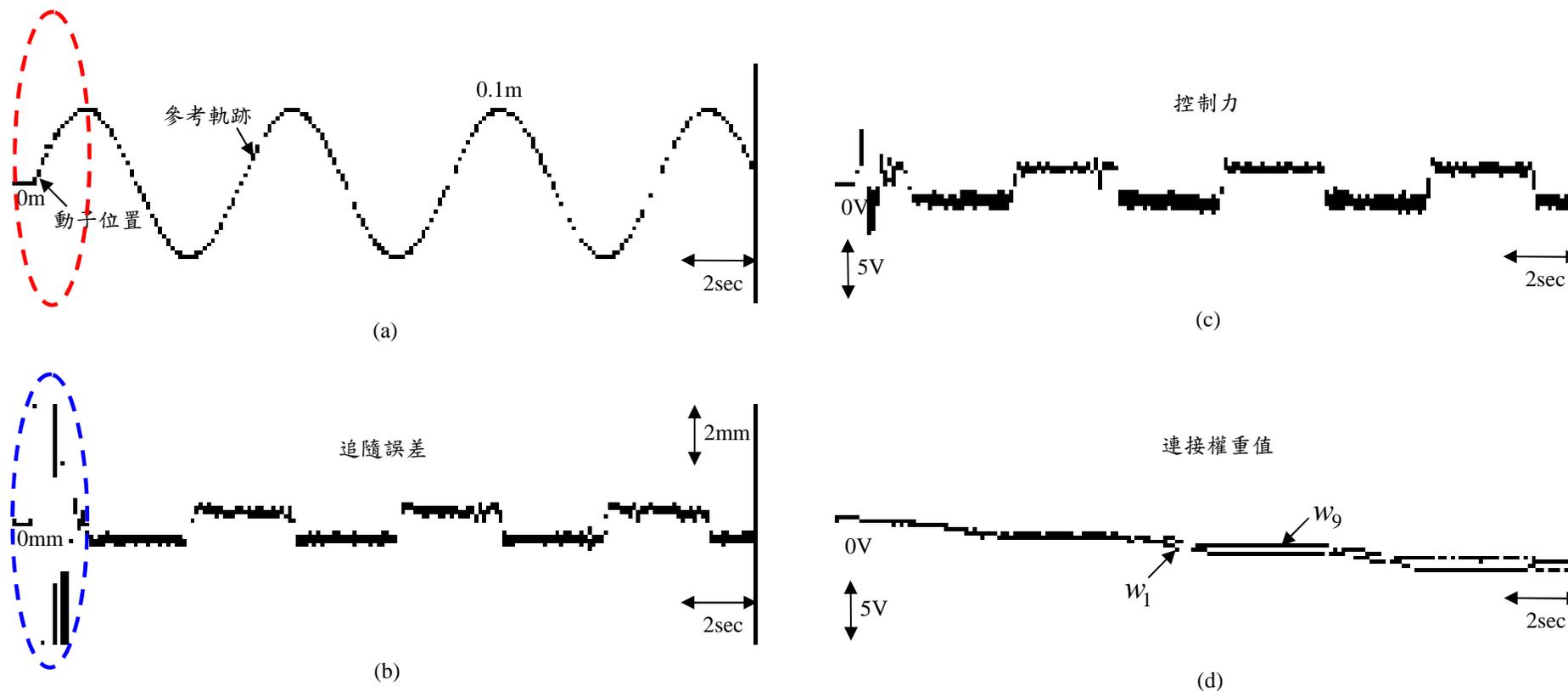
$$k = 0.01 \quad \delta = 0.5 \quad \eta = 100$$

參考追隨軌跡：

分別有0.2Hz和0.3Hz的弦波和梯形波參考軌跡

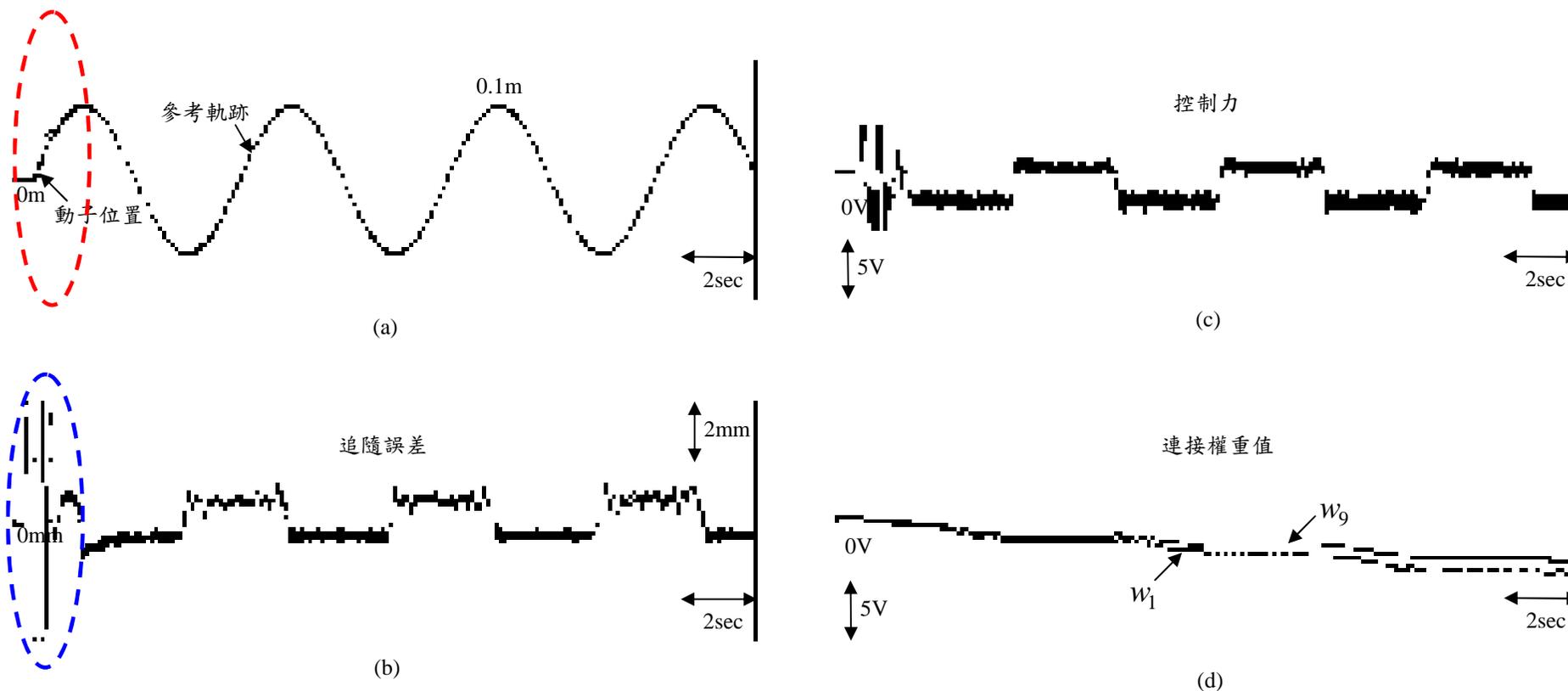
四、以FPGA設計強健性放射狀基底函數網路控制器(續)

□ 強健性放射狀基底函數網路控制系統在狀況一之0.2Hz弦波追隨實作結果 (圖4.9)



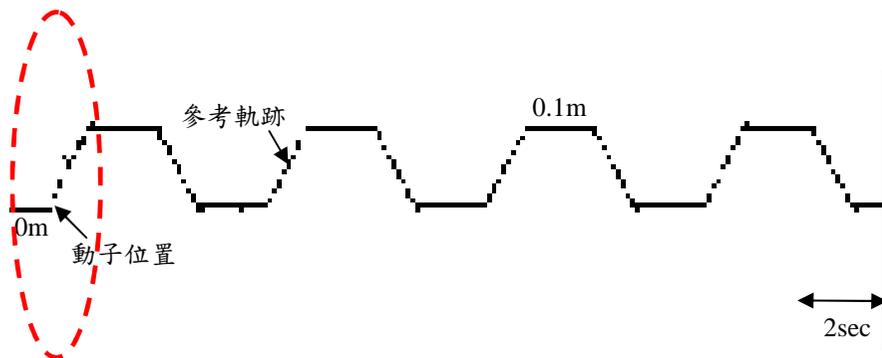
四、以FPGA設計強健性放射狀基底函數網路控制器(續)

□ 強健性放射狀基底函數網路控制系統在狀況二之0.2Hz弦波追隨實作結果 (圖4.10)

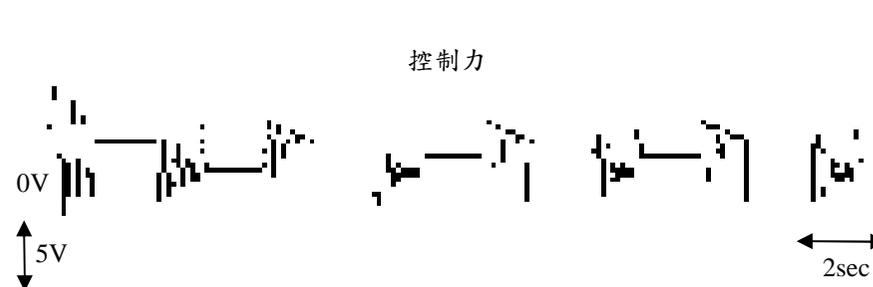


四、以FPGA設計強健性放射狀基底函數網路控制器(續)

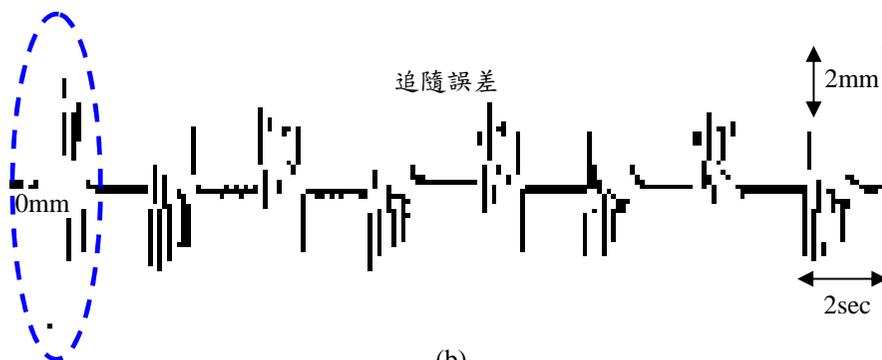
□ 強健性放射狀基底函數網路控制系統在狀況一之0.2Hz梯形波追隨實作結果(圖4.11)



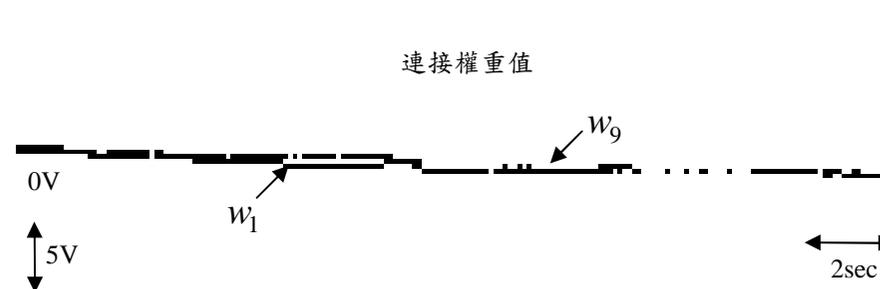
(a)



(c)



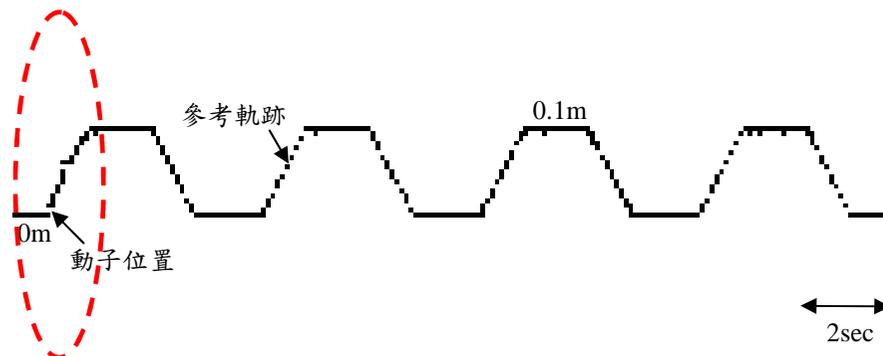
(b)



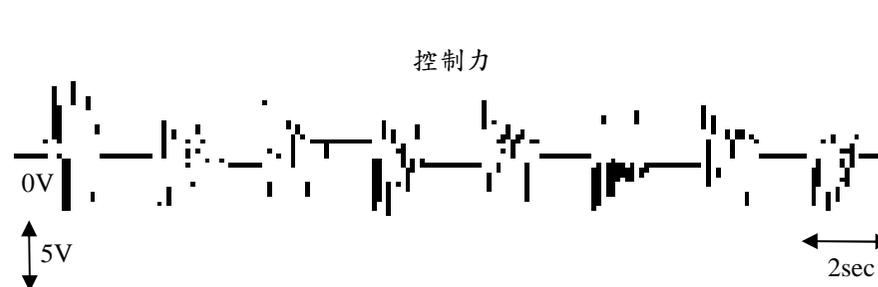
(d)

四、以FPGA設計強健性放射狀基底函數網路控制器(續)

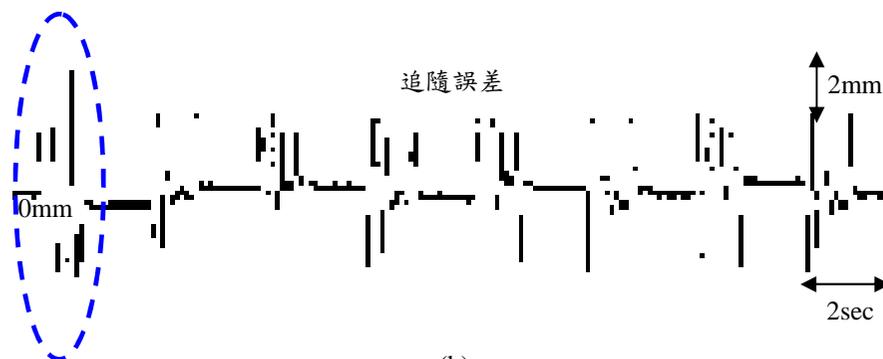
□ 強健性放射狀基底函數網路控制系統在狀況二之0.2Hz梯形波追隨實作結果 (圖4.12)



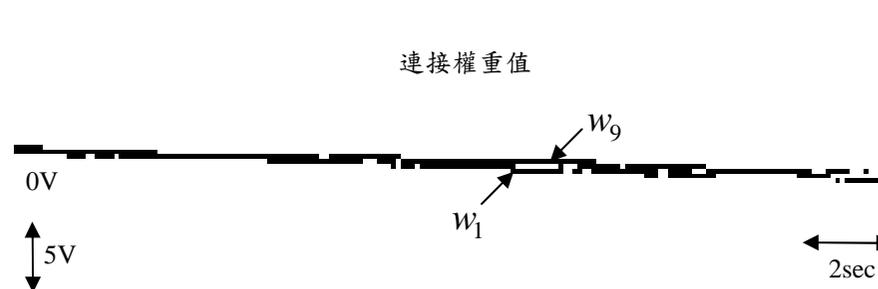
(a)



(c)



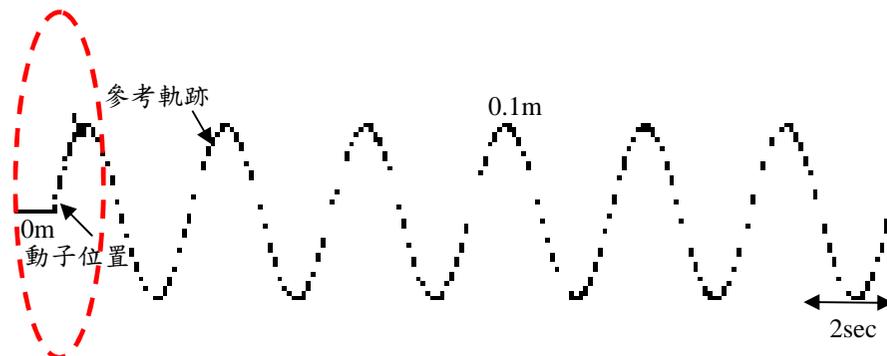
(b)



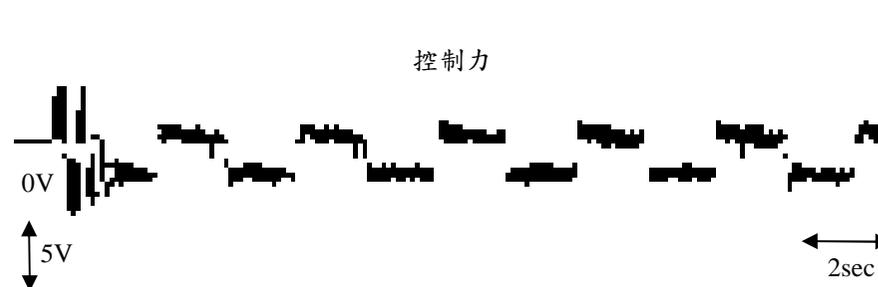
(d)

四、以FPGA設計強健性放射狀基底函數網路控制器(續)

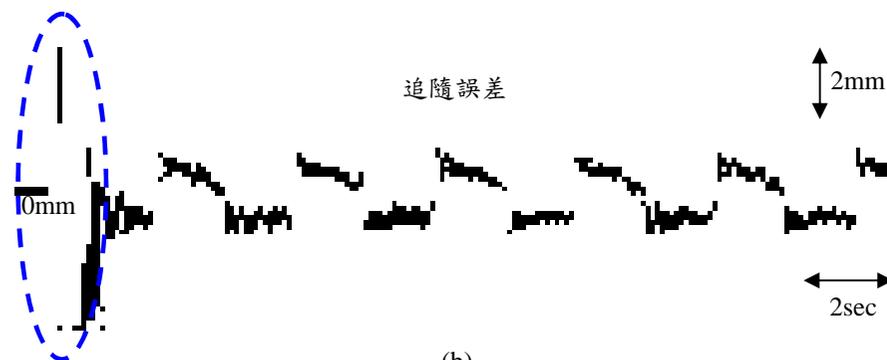
□ 強健性放射狀基底函數網路控制系統在狀況一之0.3Hz弦波追隨實作結果 (圖4.13)



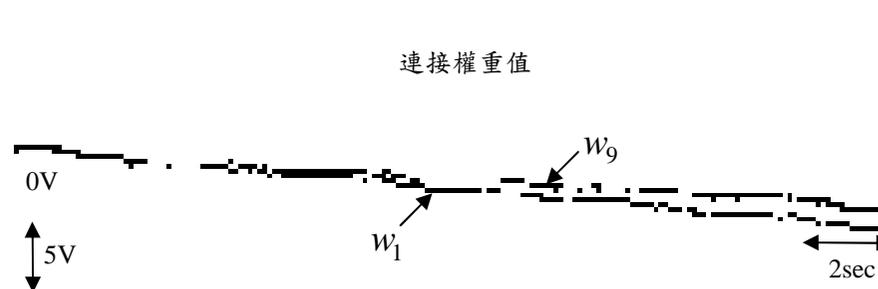
(a)



(c)



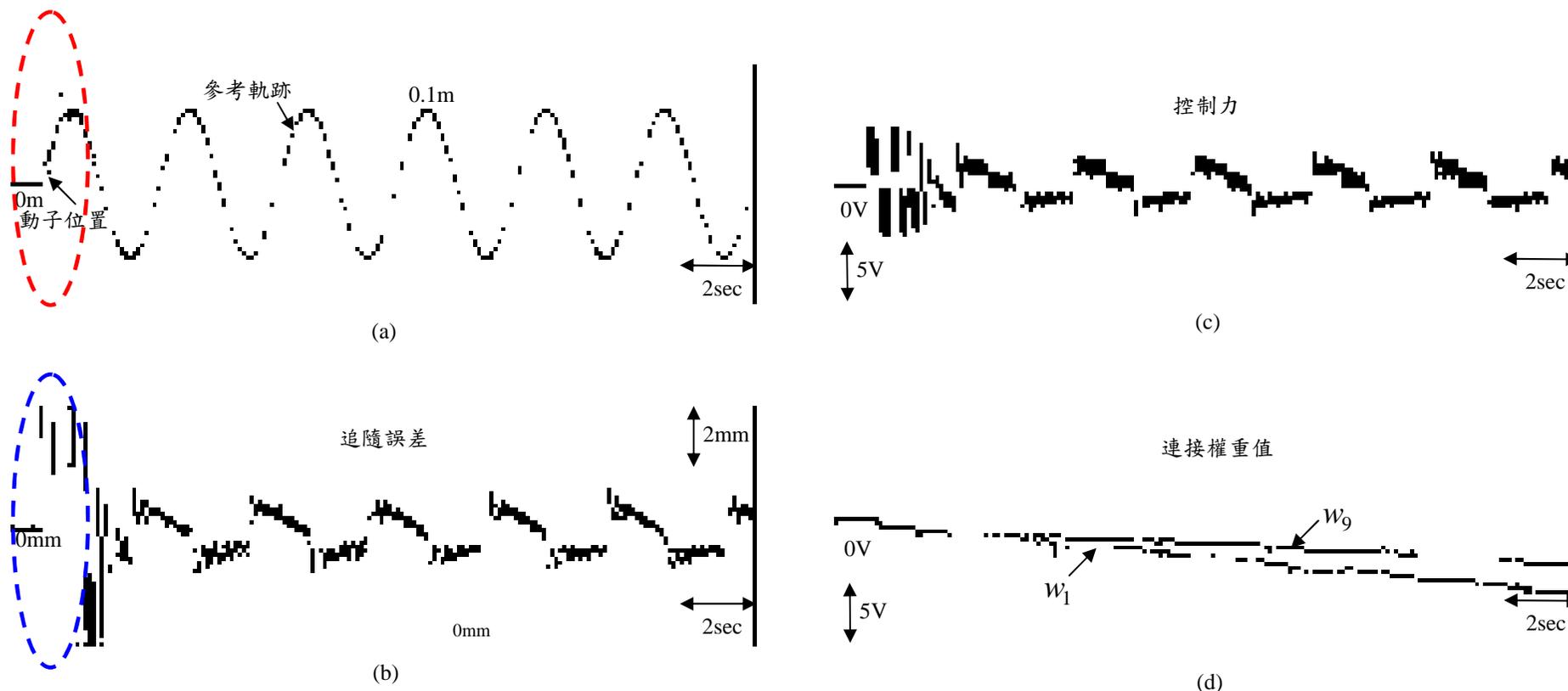
(b)



(d)

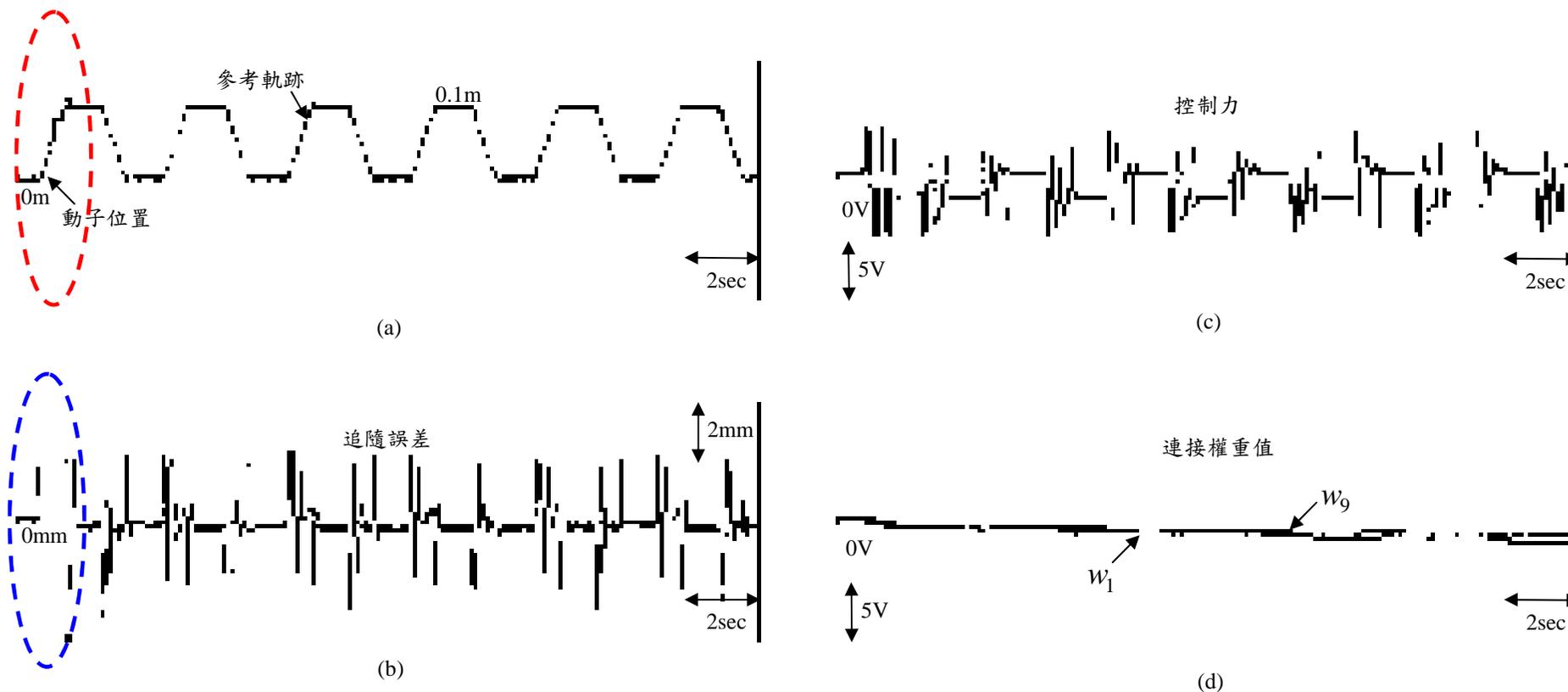
四、以FPGA設計強健性放射狀基底函數網路控制器(續)

□ 強健性放射狀基底函數網路控制系統在狀況二之0.3Hz弦波追隨實作結果 (圖4.14)



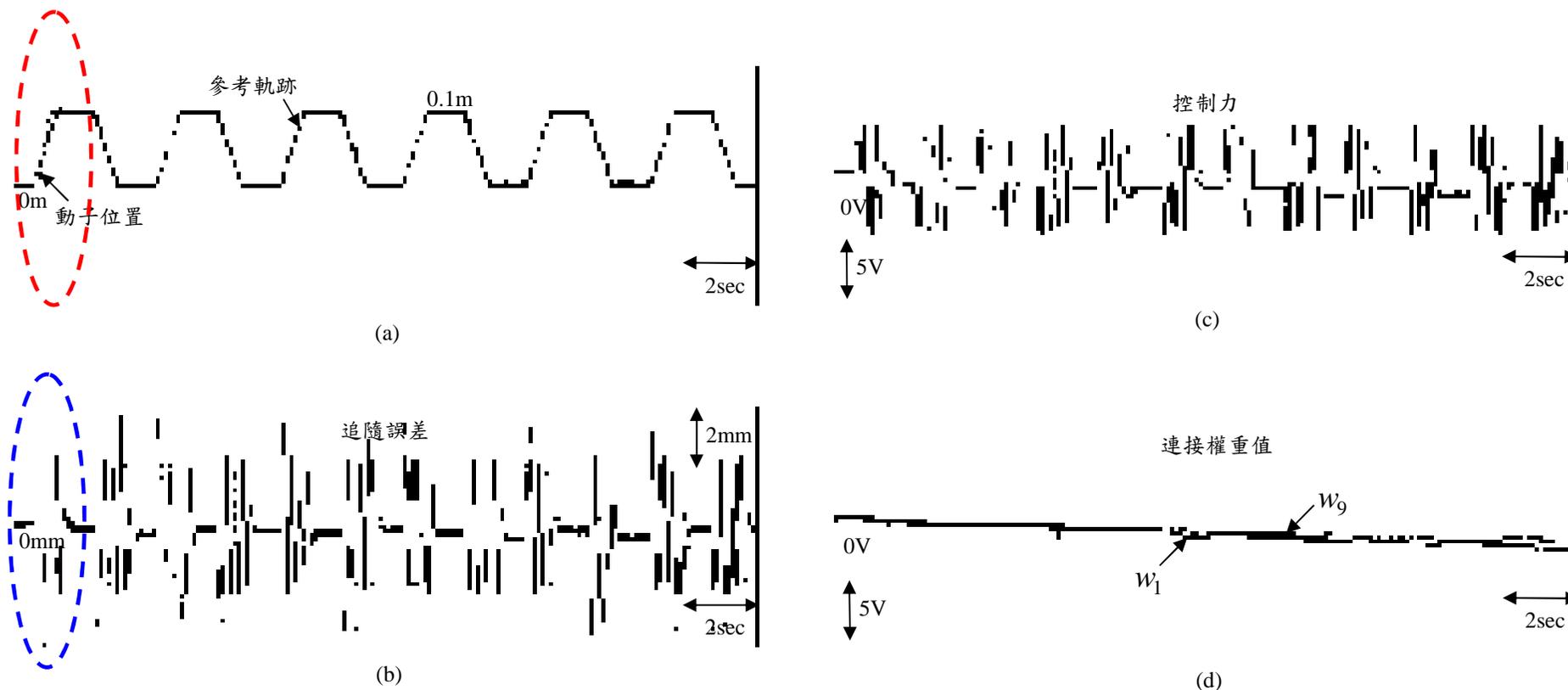
四、以FPGA設計強健性放射狀基底函數網路控制器(續)

□ 強健性放射狀基底函數網路控制系統在狀況一之0.3Hz梯形波追隨實作結果 (圖4.15)



四、以FPGA設計強健性放射狀基底函數網路控制器(續)

□ 強健性放射狀基底函數網路控制系統在狀況二之0.3Hz梯形波追隨實作結果 (圖4.16)



五、以FPGA設計放射狀基底函數網路之適應性步階迴歸控制器

◆ 放射狀基底函數網路之適應性步階迴歸控制法則

- 經由磁場導向控制之線型感應馬達，在考慮有參數變化，和外界來負載干擾以及摩擦力情況下，其動態方程式如下所示：

$$\dot{\alpha} = \nu \quad (5.1)$$

$$\dot{v} = (A_m + \Delta A)v + (B_m + \Delta B)U_p + C[F_L + f(v)] = A_m v + B_m U_p + F \quad (5.2)$$

經由公式推導以及定義第一次李亞普諾夫函數為：

$$V_1 = \frac{1}{2}e_1^2 \quad (5.9)$$

經李亞普諾夫穩定度證明後，其步階迴歸控制器設計如下：

$$U_p = B_m^{-1}(-e_1 - A_m v - F - \alpha \dot{\alpha}) \quad (5.13)$$

五、以FPGA設計放射狀基底函數網路之適應性步階迴歸控制器(續)

然而在實際應用上總集不確定項 F 是未知的，以至於精確的選取其上界 \bar{F} 是非常困難。因此提出一個放射狀基底函數網路估測器以估測總集不確定項 \hat{F} ：

$$V_3 = V_2 + \frac{1}{2\gamma} (\Theta - \Theta^*)^T (\Theta - \Theta^*) + \frac{1}{2\beta} (\hat{R} - R)^2 \quad (5.24)$$

經由公式推導以及李亞普諾夫穩定度證明，其放射狀基底函數網路之適應性步階迴歸控制器設計為：

$$U_p = B_m^{-1} [-e_1 - A_m v - \hat{F} - \hat{R} + \alpha \&] \quad (5.26)$$

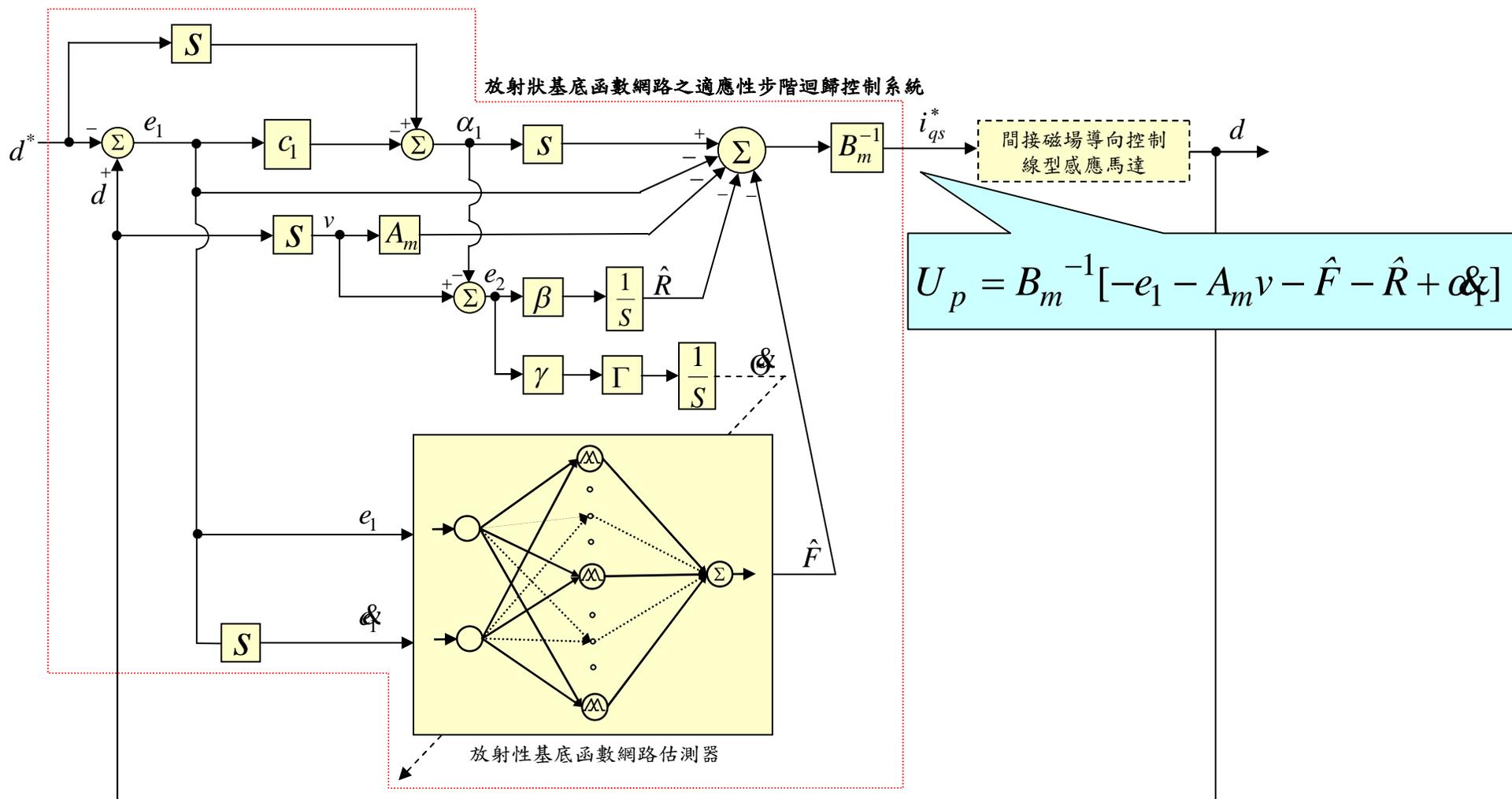
則適應性調整法則 $\&$ 和 \hat{R} 為：

$$\& = \gamma e_2 \Gamma \quad (5.28)$$

$$\hat{R} = \beta e_2 \quad (5.29)$$

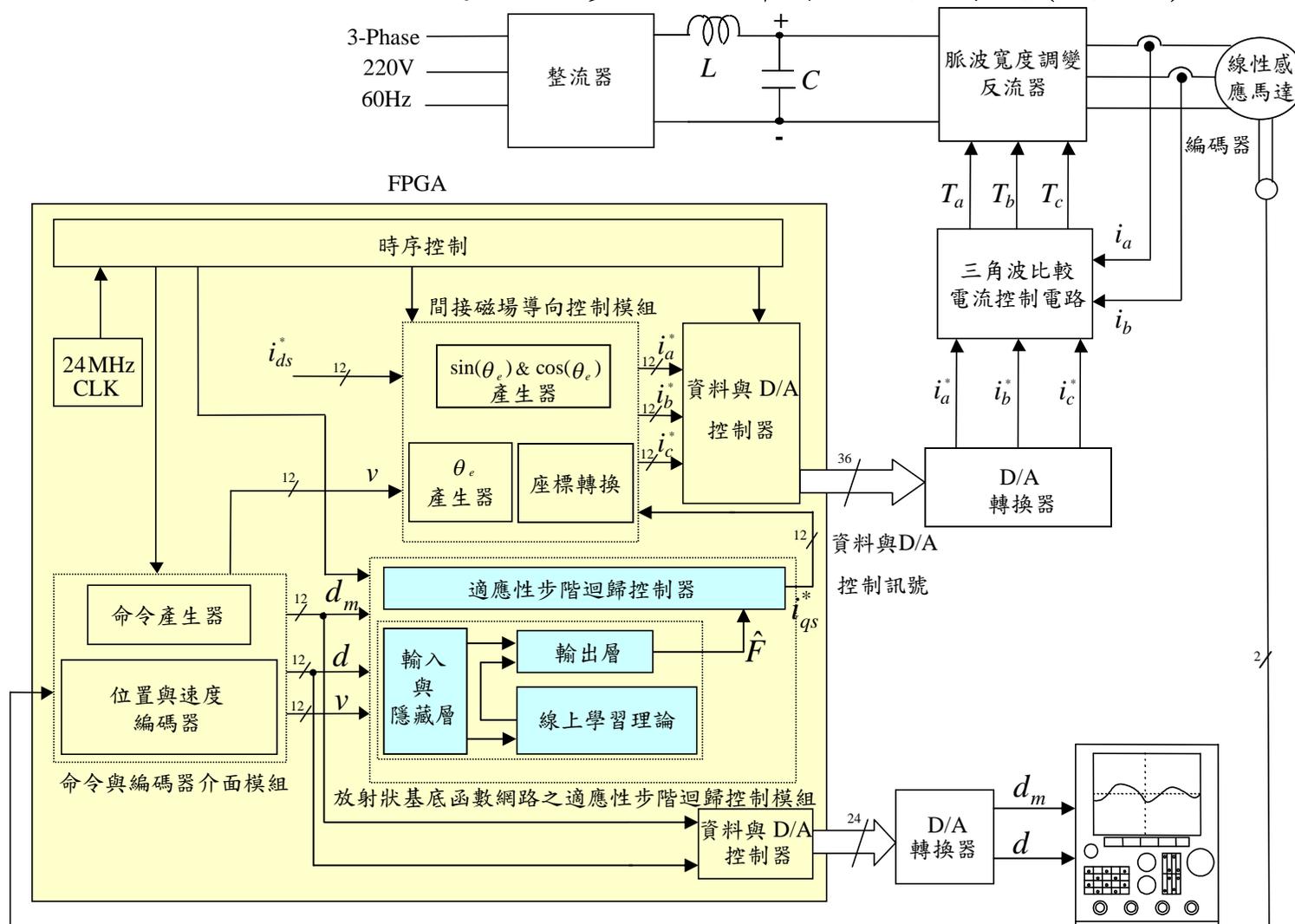
五、以FPGA設計放射狀基底函數網路之適應性步階迴歸控制器(續)

□放射狀基底函數網路之適應性步階迴歸控制器方塊圖(圖5.2)



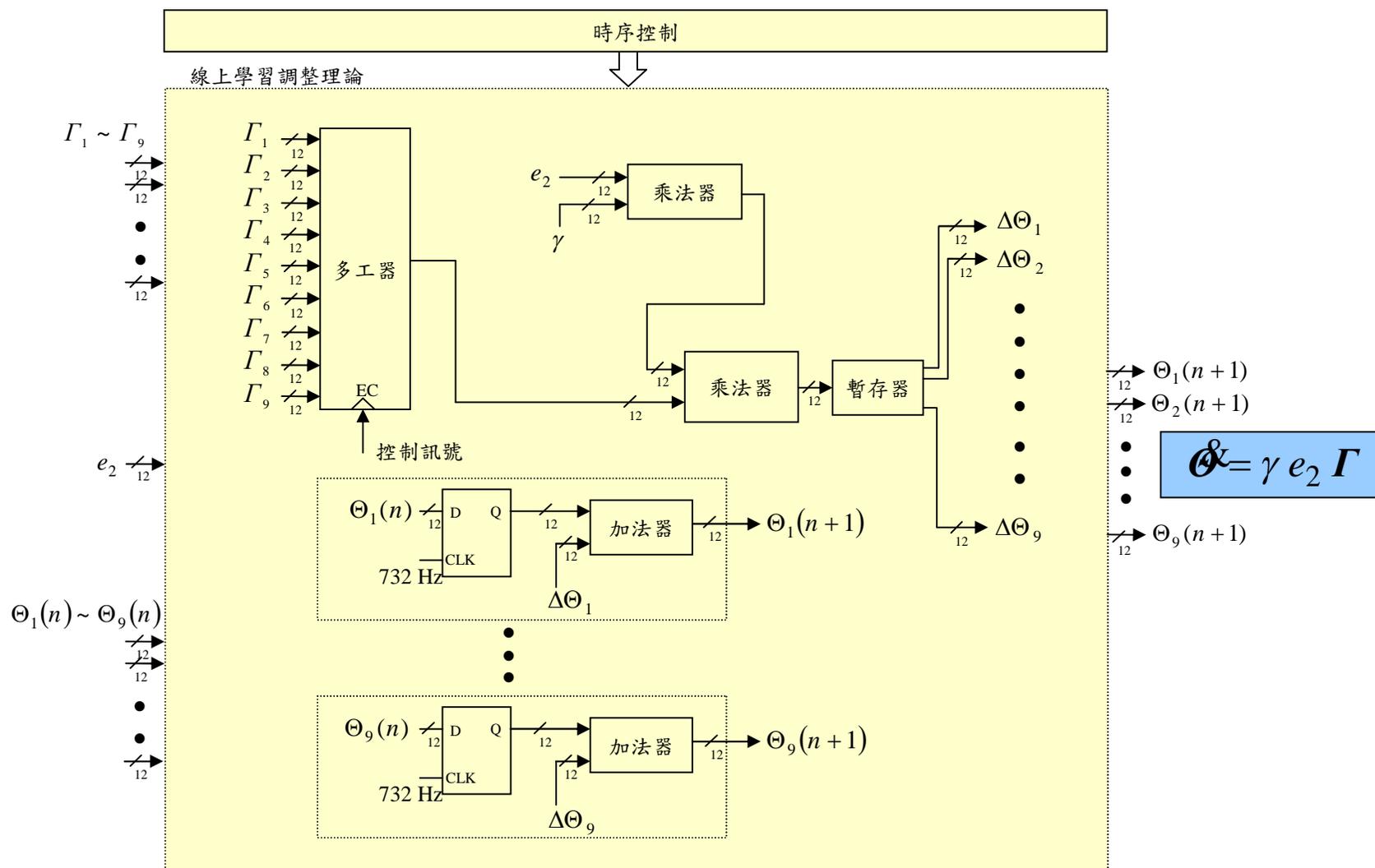
五、以FPGA設計放射狀基底函數網路之適應性步階迴歸控制器(續)

□ 以FPGA實現放射狀基底函數網路之適應性步階迴歸系統架構圖(圖5.3)



五、以FPGA設計放射狀基底函數網路之適應性步階迴歸控制器(續)

□ 線上訓練理論方塊圖 (圖5.4(d))



五、以FPGA設計放射狀基底函數網路之適應性步階迴歸控制器(續)

□實作結果

正常狀況(狀況一)：無載

參數變化狀況(狀況二)：加載3.66公斤重的砝碼

放射狀基底函數網路之適應性步階迴歸控制器的正值常數和學習速率給定為：

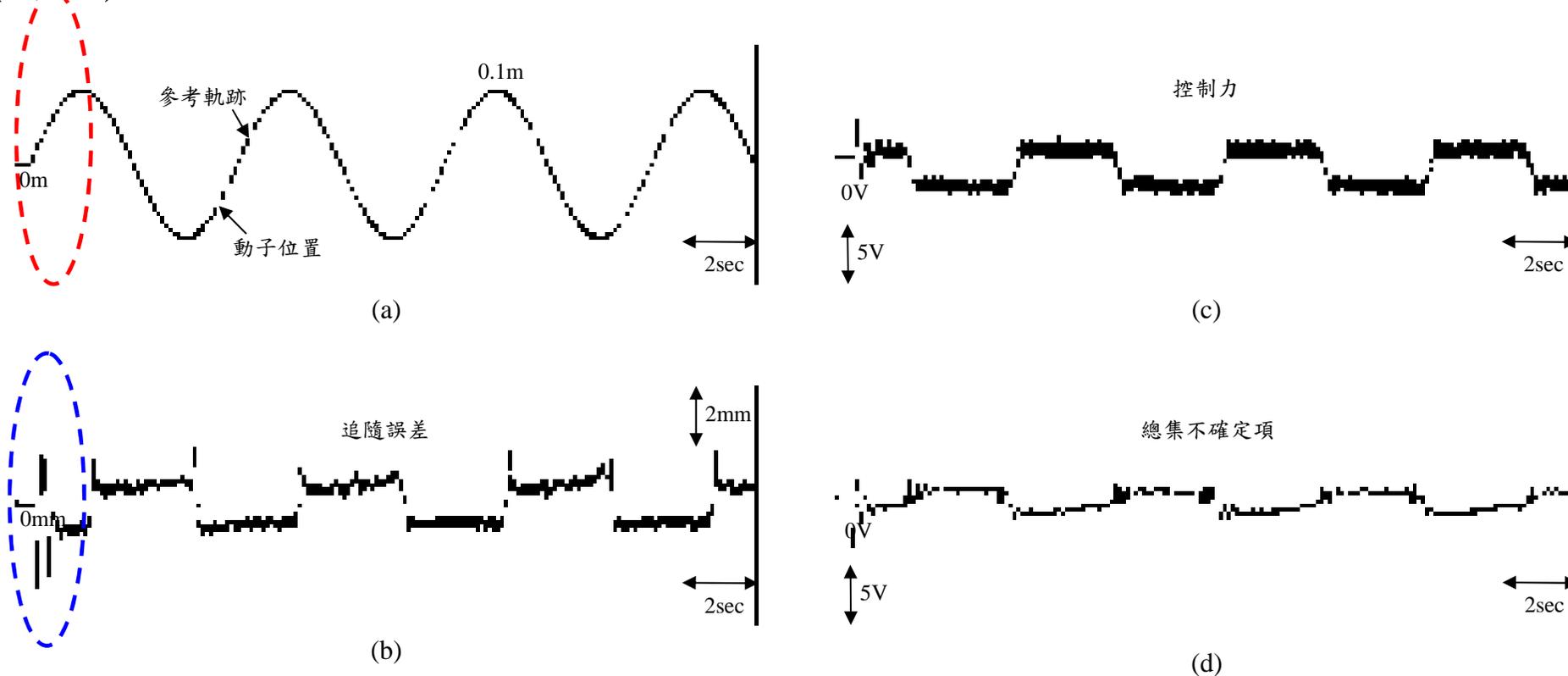
$$c_1 = 0.125 \quad \gamma = 0.75 \quad \beta = 250$$

參考追隨軌跡：

弦波和梯形波參考軌跡

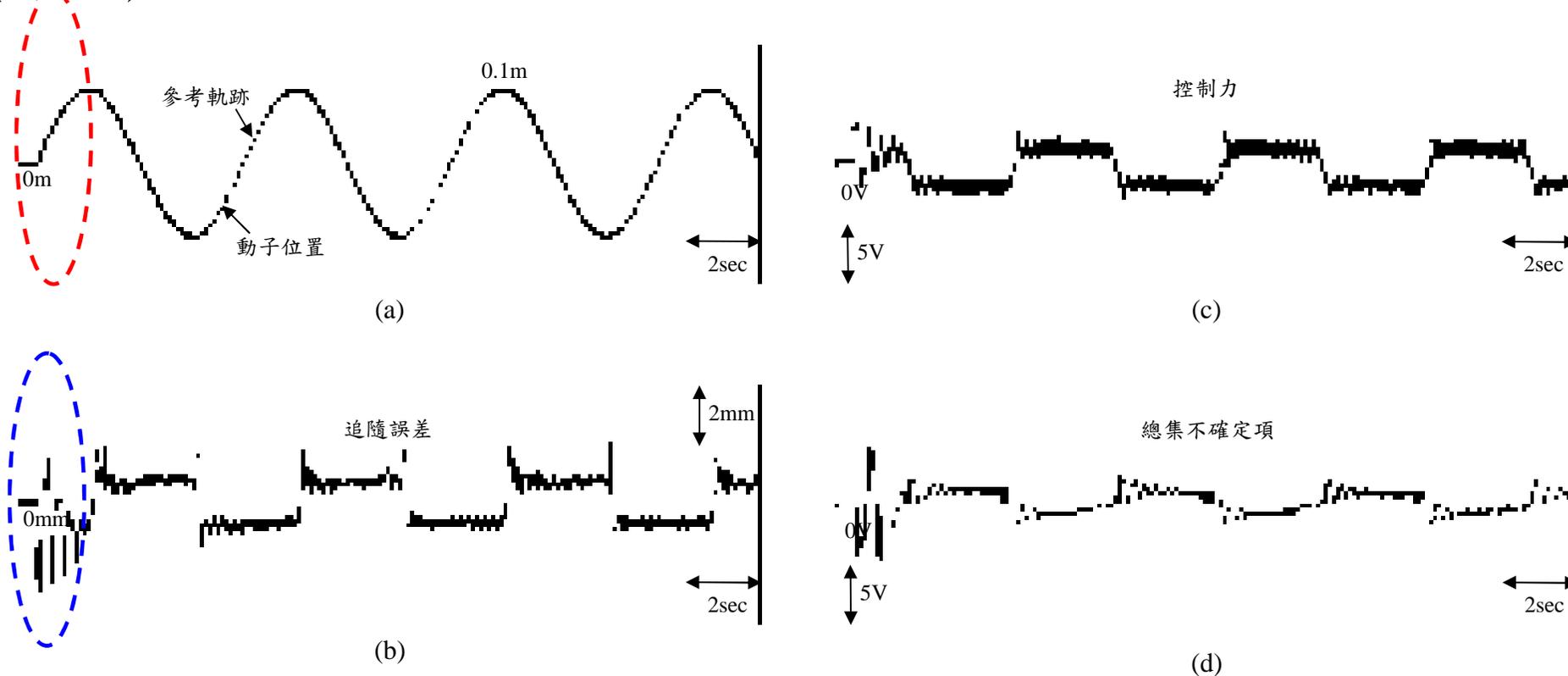
五、以FPGA設計放射狀基底函數網路之適應性步階迴歸控制器(續)

□ 放射狀基底函數網路之適應性步階迴歸控制系統在狀況一之弦波追隨實作結果 (圖5.9)



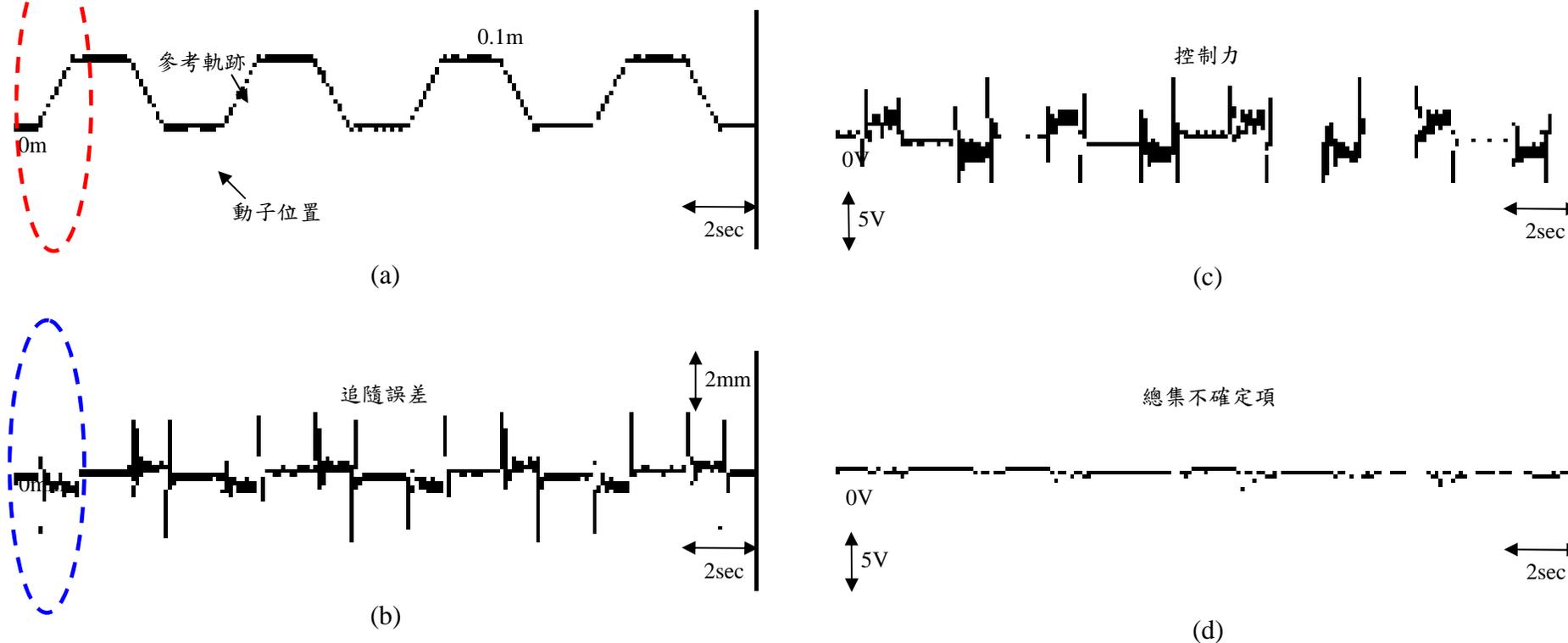
五、以FPGA設計放射狀基底函數網路之適應性步階迴歸控制器(續)

□ 放射狀基底函數網路之適應性步階迴歸控制系統在狀況二之弦波追隨實作結果 (圖5.10)



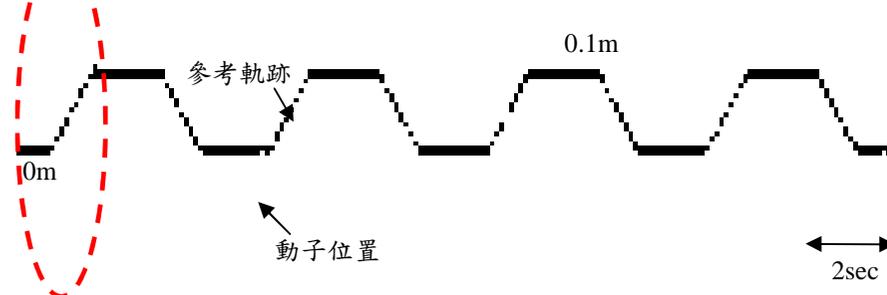
五、以FPGA設計放射狀基底函數網路之適應性步階迴歸控制器(續)

□ 放射狀基底函數網路之適應性步階迴歸控制系統在狀況一之梯形波追隨實作結果 (圖5.11)

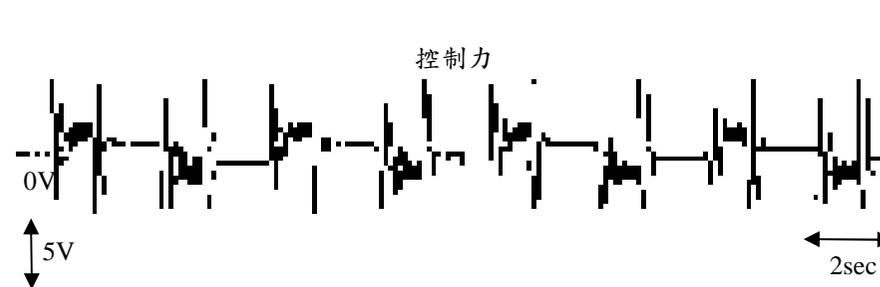


五、以FPGA設計放射狀基底函數網路之適應性步階迴歸控制器(續)

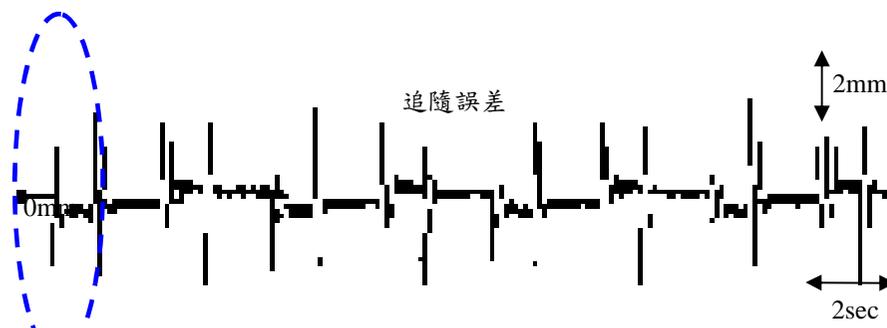
□ 放射狀基底函數網路之適應性步階迴歸控制系統在狀況二之梯形波追隨實作結果 (圖5.12)



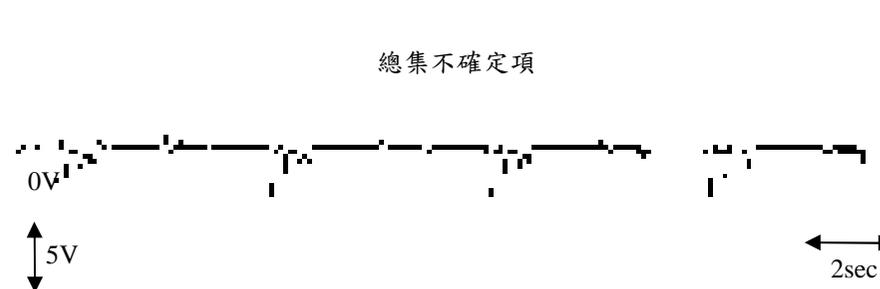
(a)



(c)



(b)



(d)

六、結論與未來的研究發展

- 本論文的主要貢獻為成功的利用 FPGA 晶片實現間接磁場導向控制系統，以及成功開發了強健性放射狀基底函數網路控制器和放射狀基底函數網路之適應性步階迴歸控制器兩種可線上學習訓練之控制器。
- 未來的研究方向希望能實現浮點運算之應用，優點為數值運算上更加準確。缺點為更耗費硬體資源如何在兩者取捨，達到最高效益值，再利用FPGA發展其他強健控制、非線性控制、智慧型控制理論。

Thank you for your attention